

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016197

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 23/29
H01L 23/31
H01L 21/56
H01L 21/60
H01L 23/12

(21)Application number : 2000-333529

(22)Date of filing : 27.10.2000

(71)Applicant : HITACHI LTD

(72)Inventor : YAMAGUCHI YOSHIHIDE
TENMYO HIROYUKI
INOUE KOSUKE
DAIROKU NORIYUKI
HOZOJI HIROYUKI
TSUNODA SHIGEHARU
ISADA NAOYA
MINAGAWA MADOKA
ANJO ICHIRO
NISHIMURA ASAO
UJIE KENJI
YAJIMA AKIRA

(30)Priority

Priority number : 11307986
2000134214Priority date : 29.10.1999
28.04.2000

Priority country : JP

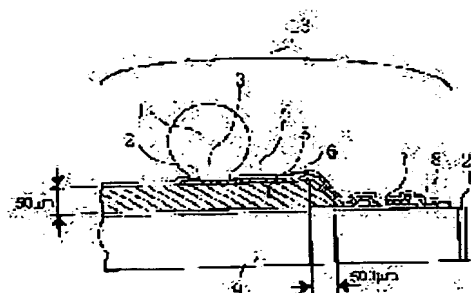
JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device for flip chip connection which requires no under filling.

SOLUTION: There are provided a process where an insulating layer is formed in a region, comprising a part of a first semiconductor element and second semiconductor element, on a wafer where a plurality of semiconductor elements are formed while extending over the first and second semiconductor elements, a process where an external connection terminal is formed on the insulating layer, a process where the insulating layer is removed between the first semiconductor element and the second semiconductor element, and a process where the wafer is cut in a region where the insulating layer is removed.



LEGAL STATUS

[Date of request for examination]

27.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3452043

[Date of registration] 18.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having wiring which is formed a semiconductor device, the insulating layer formed on this semiconductor device, the external connection terminal formed on this insulating layer, and on this insulating layer, and connects electrically the circuit electrode of this external connection terminal and this semiconductor device, and the include angles of at least one ramp of this insulating layer which counters differing.

[Claim 2] Said wiring is a semiconductor device according to claim 1 characterized by being formed on a ramp with a tilt angle small among the ramps which said stress relaxation layer counters.

[Claim 3] The semiconductor device according to claim 1 with which the inclination of a ramp with the small tilt angle of said insulating layer is characterized by being about 5% thru/or about 30% to said semiconductor device.

[Claim 4] The semiconductor device according to claim 1 characterized by said insulating layer having a particle.

[Claim 5] The semiconductor device according to claim 1 characterized by the thickness of said insulating layer being about 35 micrometers thru/or 150 micrometers.

[Claim 6] Said insulating layer is a semiconductor device given in claims 1-5 characterized by being printed and formed using a mask.

[Claim 7] The manufacture approach of the semiconductor device by which it is having-first process [which forms the first insulating layer by printing using a mask so that the first semiconductor device and second semiconductor device may be straddled on a wafer], second process [which removes the part which is this a part of first insulating layer, and is in the field between this first semiconductor device and this second semiconductor device], and third process which cuts this wafer characterized.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by having the fourth process which forms an external connection terminal on said first insulating layer.

[Claim 9] The first process which forms the first insulating layer by printing using a mask on a wafer so that the first semiconductor device and second semiconductor device may be straddled, The second process which forms wiring on this first insulating layer, and the third process which removes the part which is this a part of first insulating layer, and is in the field between this first semiconductor device and this second semiconductor device, The manufacture approach of the semiconductor device by which it is having-fourth process [which forms an external connection terminal on this first insulating layer], and fifth process which cuts this wafer characterized.

[Claim 10] The manufacture approach of the semiconductor device according to claim 9 characterized by having a wrap process for said first insulating layer and said wiring by the second insulating layer between said third process and said fourth process.

[Claim 11] The manufacture approach of the semiconductor device according to claim 7 or 9 characterized by removing said a part of first insulating layer by laser beam machining or machining.

[Claim 12] The manufacture approach of the semiconductor device according to claim 7 or 9 characterized by cutting said first insulating layer using the first cutting cutting edge, and cutting said wafer using the second different cutting cutting edge from the first cutting cutting edge.

[Claim 13] The manufacture approach of the semiconductor device according to claim 7 or 9 characterized by forming said first insulating layer so that four semiconductor devices which adjoin on said wafer may be straddled.

[Claim 14] The manufacture approach of the semiconductor device according to claim 7 or 9 characterized by forming said first insulating layer so that the train of the semiconductor device of two trains which adjoin on said wafer may be straddled.

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure and the manufacture approach of a semiconductor device aiming at flip chip bonding.

[0002]

[Description of the Prior Art] Many of semiconductor devices have a laminated structure, and the insulating layer is arranged between each class in many cases. Opening is prepared in this insulating layer, it lets that opening pass, and wiring which connects a lower layer terminal and the upper terminal is formed.

[0003] The following approaches are adopted as the insulating stratification approach. That is, a photosensitive insulating material is applied with a spin coat method on a semiconductor device, and opening of an insulating layer is formed by carrying out exposure and development. Moreover, metal wiring which connects a lower layer terminal and the upper terminal applies the second photosensitive ingredient to the insulating-layer upper layer, forms a mask by performing exposure and development to this, and forms metal wiring which connects the terminal and the upper layer of the insulating-layer lower layer in using together processes, such as this, plating, a spatter, CVD, and vacuum evaporation. This is removed after becoming unnecessary [the photosensitive insulating material used as a mask].

[0004] Formation of wiring which connects the terminal in the lower layer of an insulating layer and the upper layer according to the above process is attained. The fragmentary sectional view of the semiconductor device formed of such a process is shown in drawing 31 R> 1. In this drawing, the aluminum pad 7 serves as a terminal of insulating-layer 12 lower layer, and the bump pad 3 serves as a terminal of the insulating-layer upper layer. And as for the insulating layer 12 formed on the wafer 9 with which the semi-conductor was formed, opening is prepared on the aluminum pad 7. Moreover, the metal wiring 11 is formed from the aluminum pad 7 even to the bump pad 3 of the upper layer of an insulating layer 12. The bump 10 is formed in the bump pad 3. In addition, it is called rewiring to form wiring from the aluminum pad 7 to the bump pad 3 in this way. Moreover, the thickness of the insulating layer 12 in this case is almost equivalent to the thickness of the metal wiring 11.

[0005] Flip chip bonding is in one of the gestalten which mount the semiconductor device manufactured through such a process on the circuit board like a printed wired board, and are connected. Drawing 32 is the sectional view of the semiconductor device which carried out flip chip bonding. Connection between a semiconductor device 13 and the circuit board 14 is made because the bump 10 prepared on the terminal of a semiconductor device 13 solidifies again after melting on the circuit board. The gap of a semiconductor device 13 and the circuit board 14 is filled up with the resin of high rigidity. In addition, this resin is called under-filling 15 and is effective in reinforcing a connection. There is JP,11-111768,A as an example of the flip chip bonding which carried out under-filling.

[0006]

[Problem(s) to be Solved by the Invention] However, there are the following problems in the above-mentioned conventional technique.

[0007] Difficulty is in the supply approach of the resin to the gap of a semiconductor device and the circuit board in the first place. That is, the method of using capillarity is taken as an approach a clearance supplies resin to the gap which is generally 0.3mm or less. However, since the resin ingredient for under-filling is hyperviscous liquefied resin, it requires the time amount embedded in a clearance, and has the problem of an air ball tending to remain.

[0008] Difficulty is [second] in removal of a semiconductor device. That is, in order that the hardened under-filling ingredient may remain on the circuit board even after removing even if it removes this semiconductor device from on the circuit board when the semiconductor device linked to the circuit board is a defective, the problem that playback of the circuit board is difficult exists.

[0009] Also in order to solve the first and the second trouble, it is desirable to connect a semiconductor device to the circuit board, without carrying out under-filling. However, under-filling is carried out in order to prevent destruction of the connection resulting from distortion produced in the connection by generation of heat at the time of using the completed electric product etc., and in not carrying out, the problem that the connection life of a semiconductor device will become extremely short arises.

[0010] In realizing the semiconductor device which makes possible unnecessary flip chip bonding of under-filling, even if the purpose of this invention is the case that the dimension of a semiconductor device in every direction is small, it is to form an insulating layer for every semiconductor device.

[0011]

[Means for Solving the Problem] This invention is constituted as a claim, in order to attain the above-mentioned purpose. For example, printing formation of the thick-film insulating layer over two or more semiconductor devices is carried out, the part in which wiring does not exist is cut, and a thick-film insulating layer is divided.

[0012] The semiconductor device which makes possible unnecessary flip chip bonding of under-filling by this is realizable, and even if it is the case that the dimension of a semiconductor device in every direction is small, an insulating layer can be formed for every semiconductor device.

[0013] In addition, on these specifications, this thick-film insulating layer is indicated to be a stress relaxation layer. [0014]

[Embodiment of the Invention] Hereafter, it explains, using drawing together about one example of this invention. In addition, in all drawings, in order that the same sign may have omitted the explanation which overlaps since the same part is shown and may give explanation easy, it has changed the proportion of each part with the actual condition.

[0015] First, the structure of the semiconductor device by this example is explained. Below, although it is collectively manufactured by many per wafer, in order to give explanation easy, a semiconductor device takes out the part and is explained. The fragmentary sectional view of the semiconductor device 13 of this example is shown in drawing 1.

[0016] The wafer 9 with which the semiconductor circuit was formed is a wafer which ended the last process as used in the field of a semi-conductor production process, and is a thing before division cutting at many semiconductor devices 13. The connection terminal 7 for the exteriors, for example, an aluminum pad, is formed in each semiconductor device 13. In the semiconductor device 13 of a conventional type, when storing in semiconductor packages, such as QFP (Quad Flat Package), this aluminum pad 7 connects a golden wire etc., and it is used in order to realize a flow with the external terminal of a semiconductor package. The front face of a semiconductor device 13 in which the semiconductor circuit was formed is covered with the protective coat 8 except for the cutting section 24 at the time of cutting the wafer 9 with which the aluminum pad 7 top and many semi-conductors were formed to the chip-like semiconductor device 13, and its circumference. The insulating resin which becomes this protective coat 8 from the insulating resin independent or the organic material which consists of thickness 1 thru/or an about 10-micrometer inorganic material is used together. The bipolar membrane which carried out the laminating of the organic compound insulator which becomes the upper part of independence or said inorganic insulator layer from an organic material about the insulator layer which consists of thickness 1 thru/or an about 10-micrometer inorganic material is used for this protective coat 8. When using this bipolar membrane, as for this organic film, it is desirable to use a photopolymer ingredient. When a photosensitive ingredient suitable as organic film of a protective coat 8 is illustrated by this example, there are photosensitive polyimide, photosensitive benz-cyclo-butene, photosensitive poly benzoxazole, etc. In this example, the inorganic material, the organic materials, or such bipolar membrane of well-known common use can be used not only as this but as a protective coat. For example, SiN, SiO₂, etc. can be used as inorganic film. Moreover, although it does not matter even if it is formed so that the whole surface may be covered mostly, of course, as shown in drawing 33, even if this organic film is formed only in the field of the inorganic film which becomes near the aluminum pad 7, it is not cared about, and as shown in drawing 34, it may be formed only in two or more places of the arbitration of an inorganic film front face. Thus, by limiting the field of the organic film, the curvature of the wafer 9 by the internal stress of a protective coat 8 is reduced, and it becomes advantageous in respect of the handling in a production process, focusing at the time of exposure, etc. In addition, in this example, the field near the aluminum pad 7 has pointed out the field from the edge of the aluminum pad 7 to 1mm of maximum distances. In addition, in drawing 33 and drawing 34, although the organic film around the aluminum pad 7 is formed in the continuation field, it may be formed in the field which became independent for each aluminum pad of every, respectively. Specifically, it becomes a field like drawing 35. In view of the pattern precision of the photopolymer used for this organic film, membranous internal stress, and the component property of this semiconductor device, it determines whether which gestalt of drawing 35 is used from drawing 3333. If an example of the component property said here is given, it has pointed out changing the level of the energy barrier in each active cell inside a component (transistor) according to the stress operation to this semiconductor device.

[0017] On the protective coat 8, thickness 35 thru/or the 150-micrometer stress relaxation layer 5 are formed alternatively. Although the thickness of a stress relaxation layer is dependent on the size of a semiconductor device, the elastic modulus of a stress relaxation layer, semiconductor device thickness, etc. and cannot generally be *****ed) The semiconductor device thickness generally used is about 150 thru/or 750 micrometers. The place which conducted the stress simulation experiment with the bimetal model which consists of a semiconductor device and a stress relaxation layer formed in the front face, Since, as for necessary stress relaxation layer membrane thickness, it turned out that 10 thru/or 200 micrometers are 35 thru/or 150 micrometers desirable still more preferably, this example was formed in this thickness range. About 1/of this is equivalent to about 20 to 1/5 thickness to the thickness of a semiconductor device. If thickness becomes smaller than 35 micrometers, desired stress relaxation cannot be obtained, and if thickness becomes thick exceeding 150 micrometers, the curvature of a wafer will occur for the internal stress which stress relaxation layer 5 self has, and it becomes easy to generate the handling fault in focus gap, a wiring formation process, etc. in an exposure process etc., and there is a problem that productivity falls. The stress relaxation layer 5 is formed with the resin ingredient which has the elastic modulus of 0.1GPa(s) to 10GPa(s) in an elastic modulus sharply smaller than a semiconductor wafer 9, for example, a room temperature. If it is the stress relaxation layer which has the elastic modulus of this range, a reliable semiconductor

device can be offered. That is, in the case of the stress relaxation layer of the elastic modulus which is less than 0.1GPa, in case it becomes difficult to support the weight of the semiconductor device itself and it uses it as a semiconductor device, it is easy to produce the problem that a property is not stabilized. On the other hand, when the stress relaxation layer of the elastic modulus exceeding 10GPa is used, there is even a danger that the curvature of a wafer will occur for the internal stress which stress relaxation layer 5 self has, will become easy to generate the handling fault in focus gap, a wiring formation process, etc. in an exposure process etc., and the fault that a wafer breaks further will occur. The edge section of the stress relaxation layer 5 has the inclination, and the average gradient is 5 thru/or about 30%. In the case of the tilt angle which is less than 5%, an inclination becomes long too much and desired thickness is not obtained. For example, in order to consider as the thickness of 100 micrometers with the tilt angle of 3% of average gradients, desired thickness will be obtained, if about 7 millimeters cannot be found when the horizontal distance of 3-millimeter ** is needed and the edge section on either side is united. On the other hand, although it is satisfactory in respect of horizontal distance when a tilt angle is 30% **, the danger that step coverage conversely sufficient in the case of wiring formation will not be obtained is high. Especially plating resist is attached, there is no process margin in the process of the surroundings, exposure, and development, and special skill or a special technique is needed. When a tilt angle is still larger, the so-called stress concentration effectiveness may act, stress may concentrate on the edge section, the inclination an open circuit of the wiring 4 for rewiring becomes easy to generate in the edge section as the result may appear, and a device special to wiring structure may be needed. Since it is 50-micrometer thickness from the edge of the stress relaxation layer 5 with the horizontal distance of 500 micrometers in the case of drawing 1, an average gradient is 10%. The wiring 4 for rewiring is formed with conductors, such as copper, and has connected the aluminum pad 7 and the letter electrode 3 of a projection of stress relaxation layer 5 front face, for example, a bump pad. Moreover, the bump pad 3 top may form the gilding 2 for preventing oxidation of the bump pad 3. The front face of a semiconductor device 13 is covered by the surface protective coat 6 except for the cutting section 24 at the time of cutting the wafer 9 with which the bump pad 3 and many semi-conductors were formed to each semiconductor device 13.

[0018] Since it is closing by covering completely a protective coat 8 and the stress relaxation layer 5 by the surface protective coat 6, it prevents that a protective coat 8 and the stress relaxation layer 5 exfoliate from the front face of a wafer 9 in which the semiconductor device was formed, and invasion of foreign matters, such as ion which causes the performance degradation of a semi-conductor, can also be mitigated. Moreover, since the protective coat 8, the stress relaxation layer 5, and the surface protective coat 6 are all retreating from the cutting section 24, in case they carry out cutting separation of the semiconductor device 13, they do not receive damage.

[0019] The various resin ingredients which have an electrical insulating characteristic as a surface protective coat 6 can be used. Although it is desirable that it is a photosensitive ingredient since it is necessary to form a pattern, membranes may be formed by printing, for example using the ingredient corresponding to high precision printing of an ink jet etc. In addition, after carrying out solid formation of the insulator layer by the cheap methods of application, such as a curtain coat, a photolithography process may be used, and patterning of the etching resist may be formed and carried out, and membranes may be formed through the process of etching processing and resist exfoliation for the above-mentioned insulator layer using this resist pattern. Although various ingredients are usable in this example as such an ingredient, if some are illustrated, denaturation triazole resin, denaturation melamine resin, polyimide resin, etc. will be suitably used as (1) photosensitivity ingredient as polyamidoimide resin, polyimide resin, and a charge of (3) solid membrane formation material as an acrylic denaturation photosensitivity epoxy resin, photosensitive polyimide resin, and a (2) ink-jet printing ingredient. If it illustrates still more concretely about a photosensitive ingredient, the photosensitive polyimide used for surface covering of a solder resist or a flexible printed circuit board used suitably will be suitably used as a surface protective coat 6 by the printed circuit board production process as a cheap photopolymer ingredient. On the other hand, as a charge of solid membrane formation material, photograph NISU TM of Toray Industries, Inc. etc. is suitable, for example. In addition, the solder resist was used in this example. The bump 1 is formed on the bump pad 3. As for this bump 1, forming with a solder ingredient is common. A bump 1 becomes an external connection terminal here.

[0020] The top view which omitted the bump 1 who originally exists the condition that the semiconductor device 13 shown in drawing 2 by drawing 1 is continuously formed on the wafer showed. The part shown by hatching in drawing 2 is the solder resist which is the surface protective coat 6. Moreover, it is formed in the condition that the stress relaxation layer 5 is formed in the shape of [which rounded off the angle] a rectangle, and gets down, and the cutting section 24 which is cutting at the time of separating each semiconductor device 13 exists between each semiconductor device 13. cut — it is desirable to be located in 10 thru/or 100 micrometers from the edge of ** 6, for example, a surface protective coat. If there is an inclination which becomes easy to induce a chipping and it becomes conversely longer than 100 micrometers in case each semiconductor device will be separated, if shorter than 10 micrometers, an effective area usable as a semiconductor device will decrease. Therefore, it is desirable to locate spacing with the surface protective layer 6 in 10 thru/or 100 micrometers by this example as cut and carry out for the improvement in the yield of a semiconductor device 13. In addition, although not illustrated by the lower layer of the end of the wiring 4 for rewiring, the aluminum pad 7 exists in it.

[0021] According to this semiconductor device structure, since the stress relaxation layer 5 exists between the wiring 4 for rewiring, and a wafer 9, a semiconductor device 13 is connected on the circuit board 14, and in case it operates, it becomes possible to distribute distortion by the heat which a bump 1 receives. For this reason, it becomes possible to prolong a connection life, without carrying out under-filling 15, even if it carries this

semiconductor device 13 in the circuit board 14. Moreover, since the stress relaxation layer 5 has the gently-sloping ramp, the wiring flexion which turns into stress raisers in the middle of the wiring 4 for rewiring does not exist.

[0022] An example of the production process of the semiconductor device 13 in this example is explained using drawing. By drawing 3, drawing 4 explains the sixth process from the fourth process, and drawing 5 explains the ninth process from the first process to the third process from the seventh process. In addition, also in which drawing, cross-section structure of the semiconductor device 13 in this example is used as the sectional view which took out the part so that intelligibly.

[0023] The first process: Manufacture at the same process as the conventional semiconductor device 13 about the wafer 9 with which the semi-conductor whose aluminum pad 7 for external connection is formation ending was formed. Although the quality of the material of the pad for external connection was aluminum in the semiconductor device used by this example, an external connection pad may be copper. It is because wirebonding is not used as external connection, so it is not necessary to take into consideration the problem of the bonding nature which is easy to produce when an external connection pad is copper in this example. Since the electric resistance of wiring can be reduced if an external connection pad is copper, it is desirable also from a viewpoint of the improvement in an electrical property of a semiconductor device.

[0024] The second process: Form a protective coat 8 if needed. A protective coat 8 may already be formed in the so-called last process in a semi-conductor production process using an inorganic material, and also on an inorganic material, an organic material may be used for it and it may form it in piles. In this example, on the silicon dioxide formed of the silicon nitride formed by the insulator layer which consists of an inorganic material formed at the so-called last process in a semi-conductor process, for example, a CVD method etc., a tetra-ethoxy silane, etc., or the insulator layer which consists of those bipolar membrane, the photosensitive polyimide which is an organic material is applied and the protective coat 8 with a thickness of about 6 micrometers is formed by exposing, developing and hardening this. Thereby, a protective coat 8 is formed on the wafer 9 with which the semi-conductor was formed. Although thickness of a protective coat 8 was made into 6 micrometers in this example, necessary thickness changes with classes of the semiconductor device concerned, and the range becomes 1 thru/or about 10 micrometers. In addition, although it does not matter even if it is formed so that the whole surface may be covered mostly, of course, as shown in drawing 33 - drawing 35 R> 5, even if this organic film is formed only in the field of the inorganic film which becomes near the aluminum pad 7, it is not cared about as shown in drawing 13. In the case of the insulator layer which consists only of an inorganic material, the range of thickness becomes 3 micrometers or less. Moreover, poly benzoxazole, poly benz-cyclo-butene, the poly quinoline, poly FOSUFAZEN, etc. can be used besides the photosensitive polyimide used in this application example.

[0025] The third process: Carry out printing spreading of the paste-like polyimide ingredient in the formation schedule part of the stress relaxation layer 5, and make it harden by heating this after that. Thereby, the stress relaxation layer 5 is formed on a protective coat 8.

[0026] The fourth process: Use the reverse pattern 17 of wiring and form a photoresist, after forming the electric supply film 16 for using for electroplating by approaches, such as a sputter.

[0027] The fifth process: Perform electroplating using this electric supply film 16 and the reverse pattern 17 of wiring, and perform formation of the wiring 4 for rewiring, and the bump pad 3. Moreover, wiring 4 for rewiring is made into multilayer structure by repeating electroplating if needed.

[0028] The sixth process: Etching processing removes the reverse pattern 17 of wiring which consists of a photoresist, and the electric supply film 16 of electroplating.

[0029] The seventh process: Form the surface protective coat 6 using a solder resist. And non-electrolyzed gilding 2 is performed on the maximum front face of the bump pad 3 using this pattern.

[0030] The eighth process: On the bump pad 3, connect a solder ball to the bump pad 3 by carrying and heating a solder ball with flux, and form a bump 1.

[0031] The ninth process: A wafer dicing technique cuts the wafer 9 with which the semi-conductor was formed to a semiconductor device 13.

[0032] Below, it attaches by the eighth process from the third above-mentioned process, and explains to a detail.

[0033] First, the third process is explained. The mask used for printing has the usable thing of the same structure as the mask for printing used by soldering paste printing to a printed wired board etc. For example, as shown in drawing 6, the metal mask of the gestalt which stuck the stencil 25 made from a nickel alloy on the frame 27 through the resin sheet 26 can be used. Since a paste is damp and about 50 micrometers of pattern openings 28 of the mask for printing spread after printing, you may make it manufacture them the part and smallness which expected it. As shown in drawing 7, it is that paste printing sticks the mask for printing, and the pattern of the wafer 9 with which the semi-conductor was formed where alignment is carried out, and a squeegee moves in the condition in a stencil 25 top, and is filled up with the pattern opening 28, and it is raising the mask for printing relatively after that to the wafer 9 with which the semi-conductor's was formed, and the so-called contact printing which prints is performed. In addition, adhesion of the wafer said here and the mask for printing does not necessarily mean completely losing a clearance among both. Since the protective coat 8 is already partially formed on the wafer, it is because it is difficult practically to stick a printing mask without a clearance on this. At this example, it printed on printing conditions from which the clearance between a wafer and the mask for printing becomes 0-100 micrometers. In addition, the whole squeegee side of the mask for printing is coated with the first squeegee with a paste, the pattern opening 28 of the mask for printing is filled up with the second squeegee after that, and an excessive paste is removed. Then, there is also the printing approach of raising the mask for printing relatively to the wafer 9 with

which the semi-conductor was formed. You may make it go up, although you may make it go up perpendicularly as shown in drawing 8 in case a printing mask is relatively raised to a wafer 9, moving so that it may have a tilt angle relatively. By giving a tilt angle, a version detached building angle in case a printing mask separates from a wafer tends to become homogeneity in a wafer side. Moreover, the printing mask will separate from one edge of a wafer toward the other end, at the moment of the last of a version detached building when a version omission tends to become unstable, will be performed in a field without a semiconductor device, and becomes advantageous also in respect of the improvement in the yield. Furthermore, when performing continuous printing to two or more sheet wafer using the same printing machine, it is good to insert the process which wipes the background of the mask version with proper timing. For example, in this example, when ten-sheet continuation printing was carried out, the background of the mask version was cleaned once, and printing of the 11th sheet was performed after an appropriate time. As for the timing of cleaning of a mask background, a count, and its approach, accommodation is needed suitably with the viscosity and solid content concentration of a paste ingredient, the amount of fillers, etc. [0034] A paste hardens by heating gradually the wafer 9 with which the semi-conductor with which printing spreading of the paste was carried out succeedingly was formed using a hot plate or a heating furnace, and formation of the stress relaxation layer 5 is completed.

[0035] The ingredient for formation of the stress relaxation layer 5 currently used here is paste-like polyimide, and can be hardened by heating, after printing spreading is carried out on a protective coat 8. Moreover, the polyimide of the shape of this paste consists of a minute particle of the polyimide of a large number distributed the precursor of polyimide, a solvent, and in it. As a particle, it is specifically mean particle diameter 1 thru/or 2 micrometers, and the minute particle which has the particle size distribution from which a maximum grain size becomes about 10 micrometers was used. Since the precursor of the polyimide used for this example will serve as the same ingredient as the minute particle of polyimide if it is hardened, when paste-like polyimide hardens, the uniform stress relaxation layer 5 which consists of one kind of ingredient will be formed. Although polyimide was used as a stress relaxation stratification ingredient in this example, it is also possible in this example to use amide imide resin, ester imide resin, ether imide resin, silicone resin, acrylic resin, polyester resin, the resin that denaturalized these in addition to polyimide. When using resin other than polyimide, it is desirable to give conversion to a resin presentation so that processing which gives compatibility to the above-mentioned polyimide minute particle front face may be performed or compatibility with the above-mentioned polyimide minute particle may be improved. In the resin which has imide association among the resin which carried out [above-mentioned] listing, for example, polyimide, amide imide, ester imide, and ether imide, it excels in a heat mechanical property, for example, the reinforcement in an elevated temperature etc., thanks to the firm frame by imide association, and ***** of the plating electric supply film formation approach for wiring spreads as the result. For example, the plating electric supply film formation approach accompanied by high temperature processing, such as a spatter, can be chosen. When it is resin with the part condensed in association other than imide association, such as silicone resin, acrylic resin, polyester resin, amide imide, ester imide, and ether imide, although a heat mechanical characteristic is inferior a little, it may be advantageous in respect of workability, a resin price, etc. For example, by polyester imide resin, generally, since curing temperature is lower than polyimide, it is easy to treat. In this example, a component property, a price, a heat mechanical characteristic, etc. are synthetically taken into consideration out of these resin, and these resin is used properly suitably.

[0036] Since it becomes possible to adjust the visco-elastic property of an ingredient by distributing a polyimide minute particle into paste-like polyimide, the paste excellent in printing nature can be used. Since it becomes possible to control the thixotropy property of a paste by adjusting combination of a minute particle, a printing property is improvable by combining with adjustment of viscosity. Moreover, whenever [tilt-angle / of the stress relaxation layer 5] can also be adjusted. It is desirable for the suitable thixotropy property of a paste to have the so-called thixotropy index for which it asked from the ratio of the viscosity in engine-speed 1rpm measured using the rotational viscometer and the viscosity in engine-speed 10rpm in the range of 2.0 to 3.0 in this application example. In addition, when it is the paste with which temperature dependence appears in a thixotropy index, high results will be acquired if it prints in a temperature field in which a thixotropy index becomes the range of 2.0 to 3.0.

[0037] After carrying out heat hardening of the polyimide of the shape of a printed paste, the stress relaxation layer 5 which has a cross-section configuration as shown on the wafer 9 at drawing 9 is formed. Thus, although it may swell at the place of 200 thru/or 1000 micrometers and a part may exist from the edge section of the stress relaxation layer 5 if the stress relaxation layer 5 is formed by printing, about the location of this swelling part, and the existence of existence, the presentation of paste-like polyimide is adjusted, or it is changing the various conditions in connection with printing, and becomes to some extent controllable. In addition, as various conditions in connection with printing in this case, **, such as metal mask thickness, a squeegee rate, the squeegee quality of the material, a squeegee include angle, squeegee ** (printing pressure), a version detached building rate, temperature of the wafer at the time of printing, and humidity of a printing environment, are raised. Although the above-mentioned printing conditions can attain control of the height of the above-mentioned swelling part, or a configuration, there is also an approach by the structural adjustment of a protective layer 8 as the other control approaches. For example, if the formation field of the organic layer of a protective coat 8 is limited only near the pad 7 as shown in drawing 36, it is easy to make the stress relaxation layer-of the part equivalent to the organic layer upper part heaped up.

[0038] Moreover, as shown in drawing 1, when it swells in the stress relaxation layer 5 and a part is formed positively, the deflection part of wiring 4 can be formed, it becomes the structure which is easy to absorb the stress by thermal expansion etc. by this, and an open circuit can be prevented more. It is desirable that about 25

micrometers of swelling parts which have 7 thru/or height of about 12 micrometers desirably are specifically formed at the maximum to the average thickness of the stress relaxation layer 5. If it is top-most vertices of this level, it can form enough by mask printing. For example, if a radius assumes this swelling section to be the shape of a semi-cylindrical shape which is 10 micrometers, the die length of the half-arc of the swelling section becomes $(2 \times 3.14 \times 10 \text{ micrometers}) / 2 = 31.4 \text{ micrometers}$, and the redundancy die length of wiring will become 42.8 micrometers when it forms in every one both sides of $31.4 - 10 = 21.4 \text{ micrometer}$ and a stress relaxation layer about the one swelling section. Thus, since the redundancy section can be prepared in wiring 4, the thermal stress which acts on wiring structure and the soldered joint section is eased, therefore reliable wiring structure can be offered. In addition, it asks for the necessary thickness of this swelling section from the experiment and simulation which took into consideration the thickness of the stress relaxation layer 5 and an elastic modulus, the size of a semiconductor device 13, the power consumption of a semiconductor device, the physical-properties value of the circuit board 14 in which a semiconductor device is carried, etc. For example, in this example, the diagonal die length of a semiconductor device 13 is made into L millimeters. If the maximum temperature requirement which the difference of the coefficient of linear expansion of the circuit board 14 in which a semiconductor device 13 and it are carried produces by ON/OFF under the substrate loading process of 15 ppm [degree C] /and a semiconductor device 13 - actuation carries out to 200-degree Centigrade The maximum heat deformation which the wiring section receives [a substrate mounting article] by use by the real operating environment becomes $15(\text{ppm/degree C}) \times L / (2(\text{mm}) \times 200 (\text{degree-C})) = 0.0015 \times L \text{ millimeter}$. Therefore, when there were about $0.002 \times L \text{ millimeters}$ of redundancy die length required of the above-mentioned swelling section, I thought that it was enough. It swells from this count, the section is approximated by the shape of a semi-cylindrical shape, and it was made for the height of that swelling part to be settled in $L / \text{the range of about } 2000 - L / 500 \text{ millimeter}$ to the average thickness of the stress relaxation layer 5 in this example.

[0039] When the thickness of the needed stress relaxation layer 5 is not formed by one printing and heat hardening, thickness predetermined by repeating printing and hardening of an ingredient two or more times can be obtained. For example, when a metal mask with a thickness of 65 micrometers is used using the solid content concentration 30 thru/or 40% of paste, about 50 micrometers can be obtained as thickness after hardening by two printings. Moreover, especially about the bump 1 stationed in the part which distortion tends to concentrate when a semiconductor device 13 is connected to the circuit board 14, concentration of distortion can also be eased by limiting only to the stress relaxation layer 5 of the corresponding part, and thick-film-izing thickness. for this reason — being alike — for example, what is necessary is just to print multiple times using a different metal mask from what used paste-like polyimide by the 1st printing to the wafer 9 top with which the semi-conductor was formed. Moreover, the thickness of a stress relaxation layer can also be partially changed by adjusting the structure of a protective layer 8 as the 2nd approach. For example, as shown in drawing 37, Bump's X field [directly under] which a strain tends to concentrate uses only the protective layer which consists of inorganic film, and uses as a protective coat the compound layer in which the organic film was formed on the inorganic film, in other fields. If a stress relaxation layer is formed on such a protective coat, a loose ramp will be formed in the parts A of a place with the protective coat of the organic film, and the stress relaxation layer which is not. Now, for the thickness of 1GPa and the organic film, in 10 micrometers, the average elastic modulus (GPa/micrometer) of the part which will consist of an organic protective coat and a stress relaxation layer supposing it is 3GPa(s) is set to $(3 \times 10^{-1} \times 50) / 60 \times 1.3$, and, on the other hand, the thickness of a stress relaxation layer of the average elastic modulus of the ramp in Part A is [the elastic modulus / the elastic modulus] 1 at 50 micrometers. Therefore, with such structure, it will distribute into the part in which the organic protective coat was formed from the periphery, and the thermal stress of a stress relaxation layer can prevent breakage of the bump in the periphery which thermal stress originally concentrates. In addition, it is not necessary to necessarily have a particle in a stress relaxation layer, and even when not distributing a particle during a paste, minimum viscoelastic property required for printing should just be secured. However, when not distributing a minute particle during a paste, the margin of the various conditions in connection with printing may become extremely narrow.

[0040] The fourth process is explained succeedingly. In this example, wiring 4 for rewiring was made two-layer [of electrolytic copper plating and electric nickel]. In addition, the end of the wiring 4 for rewiring may be used also [pad / 3 / bump]. Although here showed how copper and nickel form a conductor using electroplating, it is also possible to use nonelectrolytic plating.

[0041] First, the electric supply film 16 for carrying out electroplating is formed all over a semiconductor wafer. Here, although it was possible to have used vacuum evaporation, non-electrolytic copper plating, CVD, etc., the bond strength with a protective layer 8 and the stress relaxation layer 5 decided to use a strong spatter. As pretreatment of a spatter, in order to secure the flow between a bonding pad 7 and wiring 4 conductor for rewiring, sputter etching was performed. As spatter film in this example, the multilayers of chromium (75 nanometers)/copper (0.5 micrometers) were formed. The function of chromium here is to secure adhesion of the copper, stress relaxation layer, etc. which are located up and down, and the thickness has the desirable minimum which maintains those adhesion. When chromium thickness becomes thick, membrane formation time amount will increase, in addition to the problem that productive efficiency falls, a protective layer 8 and the stress relaxation layer 5 will be put to the plasma of the high energy condition generated in a spatter chamber over long duration, and there is a danger that the ingredient which forms these layers will deteriorate. In addition, although necessary thickness is changed by the conditions of sputter etching and a spatter, the membraneous quality of chromium, etc., it is 0.5 micrometers at the maximum in general. In addition, it replaces with the chromium film used by this example, and the titanium film,

titanium / platinum film, and a tungsten can also be substituted. On the other hand, when the electrolytic copper plating and electric nickel plating which are performed at a next process are performed, the minimum thickness of the thickness of spatter copper which thickness distribution of the plating film does not produce is desirable, and it determines the thickness which does not induce thickness distribution after also taking into consideration the amount of film decreases in acid washing performed as plating pretreatment. In the case of the copper thickness exceeding 1 micrometer, when thickness of spatter copper is made thick beyond the need, spatter time amount becomes long, in addition to the problem that productive efficiency falls, long duration etching is not avoided in the case of etching removal of the electric supply film 16 carried out at a next process, but side etching of the wiring 4 for rewiring becomes large as the result. By simple count, in etching the 1-micrometer electric supply film, also in wiring, 2-micrometer etching takes place on 1 micrometer of one side, and both sides. In actual production, since carrying out over etching is generally performed so that the etching remainder of the electric supply film may not occur, when etching the 1-micrometer electric supply film, side etching of about 5 micrometers of the wiring will be carried out. If side etching becomes large in this way, wiring resistance becomes large, or it will become easy to induce an open circuit and will be easy to generate a problem in the viewpoint of the wiring engine performance. Therefore, the thickness of spatter copper becomes 1 micrometer at the maximum in general.

[0042] Next, the reverse pattern configuration 17 of the wiring 4 for rewiring is formed using a resist using a photolithography techniques. The thickness of the resist in the edge section of the stress relaxation layer 5 shown by B in drawing 4 becomes thick by the resist which flowed out of the slant surface part compared with other locations. For this reason, the negative mold is more desirable in order to secure resolution. As a resist, when a liquefied resist is used, resist thickness tends to become thin and there is an inclination for resist thickness to tend to become thick conversely, in the slant-face lower part in the slant-face upper part of the edge section of the stress relaxation layer 5 shown by B in drawing 4. Large development tolerance is needed for carrying out patterning of the resist from which thickness differs in the slant-face upper part and the slant-face lower part on the same same light exposure and development conditions. Generally, since the negative-mold sensitization property resist was larger than a positive type sensitization property resist, the development tolerance to thickness used the liquefied resist of a negative mold in this example. In addition, in using a film resist, since it does not generate, ***** in the slant-face upper and lower sides becomes usable also with a negative mold or a positive type, but since a slant surface part will be exposed from across and the real optical path length becomes long, if a negative mold is used also in this case, good results will be obtained in many cases. A negative mold is desirable especially when using a film resist with weak case where the inclination of the edge section of the stress relaxation layer 5 is large and breaching property. In this example, as shown in drawing 10, the exposure mask 21 and the resist 22 stuck and the exposure machine of the type which has a clearance 20 in a part was used. The resolution limit in this exposure machine was about 10 micrometers in the case where the mask 21 for exposure and a resist 22 stick. According to our experimental result, the clearance 20 between the exposure mask 21 lower parts and the relation of the wiring width of face to resolve came to be shown in Table 1. In addition, the value in Table 1 changes with the ratios of the optical system and the development conditions of an exposure machine, the sensibility of a resist, resist hardening conditions, and wiring width of face / wiring spacing etc. The experimental result shown in Table 1 is a value in case the ratio of wiring width of face / wiring spacing is 1.0.

[0043]

[Table 1]

表 1

		露光マスク下部の隙間 [μm]			
		40	60	80	100
配線幅 [μm]	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○ : 解像可
× : 解像不可

[0044] Signs that a connection 23 and the bump putt 3 with an aluminum pad are connected to drawing 11 with the wiring 4 for rewiring are shown. In the case of the aligner used by this example, since the clearance between the lower parts of the exposure mask which is the axis of abscissa of Table 1 supports the thickness of a stress relaxation layer mostly, if the thickness of a stress relaxation layer is 60 micrometers, for example, the width of face of wiring is resolvable to 25 micrometers. Therefore, wiring width of face of a signal line can be made into 25 micrometers, and it can also wire by making wiring width of face of a power source or a grand line into 40 micrometers. Moreover, it is also possible to make thick a part of the signal line, using wiring of a signal line as 25

micrometers.

[0045] The wiring 4 for rewiring in near the ramp of the stress relaxation layer 5 is expanded and shown in drawing 12. As mentioned above, since resist thickness served as an ununiformity near the edge section of the stress relaxation layer 5, there was an inclination which a underdevelopment tends to generate in the field. Signs that the underdevelopment has actually happened to drawing 13 in the edge part of the stress relaxation layer 5 are shown. In this example, it solved by improving a surroundings lump of a developer for this cure. When it illustrates more concretely, they are policies, such as changing a circuit pattern configuration, as shown in drawing 14 or drawing 15.

[0046] Drawing 14 shows the case where drawing 15 makes thick wiring width of face of only the edge part of the stress relaxation layer 5 with bad definition for the case where wiring width of face is made thick from the connection 23 with an aluminum pad to near the summit of the stress relaxation layer 5. In addition, the wiring width of face in these drawing 14 R> 4 and drawing 15 is determined in consideration of the resolving property shown in the thickness and Table 1 of the stress relaxation layer 5. How to cancel the development remainder by extending developing time as other solutions is also considered. Moreover, since light diffracts in respect of a mask, it may originate in a clearance 20 existing under the exposure mask 21, and a definition fall and a pattern precision fall may take place.

[0047] As a solution of this phenomenon, optical-system modification of (1) exposure machine, breaching nature amelioration of (2) resists, prebaking condition rationalization of (3) resists, (4) multistage exposure, etc. are raised. If one example is given about modification of the optical system of an exposure machine, the policy that NA value uses 0.2 or less or more 0.0001 exposure machine will be raised. The definition of a pattern and precision can be improved by combining suitably the device on the process of not only the example given here but well-known common use.

[0048] Since the edge section of the stress relaxation layer 5 has the description on the structure which the stress produced by the difference in the physical-properties value of a wafer and the stress relaxation layer 5 tends to concentrate, an open circuit can also be effectively prevented by making wiring thick by the ramp of the stress relaxation layer 5. In addition, you may make it change the width of face of wiring with a power source / grand line, and a signal line, as it is necessary to not necessarily make no wiring into the same size for example, and is shown in drawing 16. In this case, when an electric property is taken into consideration, it is desirable to make a power source / grand line thicker than a signal line generally. It is because the capacity component which wiring has by this increases and effect is done at the time of high-speed operation, when a signal line is made thick. Conversely, since the effectiveness that supply voltage is stabilized is expectable if a power source / grand line is made thick, it is desirable rather. Therefore, it is desirable to consider as the pattern which made the edge circumference thick so that it may illustrate, and only the part which stress concentrates can be eased at worst about wiring for signals, and to make a ramp thick uniformly about wiring for the object for power sources or glands. On the other hand, about the flat part in which the stress relaxation layer is not formed, signal wiring is made thin in consideration of the effect of the capacity component of wiring. However, it is necessary to take this into consideration with the class of semiconductor device, or its circuit pattern each time. For example, although it is dependent also on a semiconductor device or its circuit pattern, since big effectiveness is in capacity reduction of wiring when the thickness of a protective coat 8 is increased, when signal wiring must be made thick by the flat part in which the stress relaxation layer is not formed, it is desirable to form a protective coat 8 thickly. When increasing wiring width of face 10%, specifically, it is desirable to also increase the thickness of a protective coat 8 about 10%. On the other hand, the wiring width of face in the up flat part of a stress relaxation layer receives a limit from signal-line capacity with a wiring consistency rather. That is, the upper limit of the wiring width of face in the up flat part of a stress relaxation layer is calculated from the alignment accuracy in the path of the wiring number which it lets pass at spacing of a bump pad, and a bump pad, and a wiring formation process etc. If an example is shown concretely, when bump pad spacing will pull 3 wiring between 300 micrometers of diameters of a pad, and a pad by 0.5 millimeters, it is $(500-300) / (3 \times 2 - 1) = 40$. It becomes the count to say. From this count result, they could be average wiring width of face / wiring spacing = 40 micrometer by this example.

[0049] The fifth process is explained. In this example, copper plating was carried out using sulfuric-acid acidity copper-plating liquid. After electrolytic copper plating performed washing by the surfactant, rinsing, washing by the dilute sulfuric acid, and rinsing, it connected the electric supply film 16 to cathode, and connected and carried out the copper plate containing Lynn to the anode plate.

[0050] Then, electric nickel plating is performed. In addition, when washing by the surfactant, rinsing, washing by the dilute sulfuric acid, and rinsing are performed before electric nickel plating, there is an inclination for the electric nickel-plating film of good membraneous quality to be easy to be obtained. Electric nickel plating connected the electric supply film 16 to cathode, connected the nickel plate to the anode plate, and went. Although the nickel-plating bath of the gap which is not well-known common use of electric nickel plating suitable at this example could also be usable and the Watts bath system or the sulfamine bath system was sufficient as it, it was performed using the Watts bath system under the plating conditions adjusted so that plating film internal stress might become the proper range by this example. Although there is a fault that a sulfamine bath has the inclination which a plating liquid component tends to decompose a little an expensive top compared with a Watts bath, coat stress tends to control it. On the other hand, since coat stress generally tends to become large, a Watts bath has the fault that the danger that a crack will go into a wiring layer for the coat stress (tensile stress) which self has increases, when thick-film plating is carried out. Although the Watts bath was used in this example, when using a sulfamine bath, or when using

a Watts bath, it is good to carry out, after carrying out beforehand the model experiment for asking for the proper range of whenever [class / of additive (coat stress inhibitor) / and concentration, plating current density, and plating solution temperature]. It carried out, after searching for beforehand the conditions from which these are controlled by this example proper, and a crack does not go into wiring in 10 micrometers or less of thickness. In addition, plating membrane stress is one of the indexes in connection with the metallic crystal stacking tendency of depositing nickel, and in order to control growth of the solder diffusion layer mentioned later, it is necessary to control it proper. If membrane stress galvanizes under the conditions controlled proper, a plating coat will come to carry out the eutectoid of the minor constituent of the amount of specification. For example, in the case of the film containing 0.001 - 0.05% of sulfur, the content of a specific crystal orientation side increases. Speaking more concretely, the content sum total of the orientation sides 111, 220, and 200 and 311** becoming 50% or more. The thickness of electric nickel plating determines an optimum value with the class and reflow conditions of the solder used at a subsequent process, and the product property (mounting gestalt) of a semiconductor device. What is necessary is just to determine that the thickness of the alloy layer of the solder and nickel which are formed in the case of a solder reflow or mounting repair will specifically become more than nickel-plating thickness. The thickness of the above-mentioned alloy layer becomes so large [it is so large that the concentration of the tin in solder is high, and] that reflow upper limit temperature is high. Thus, when the nickel layer was formed after copper wiring as wiring for rewiring, wiring for rewiring receives deformation with the thermal stress committed between a semiconductor device and the circuit board and the stress is released after that, wiring for rewiring can return to the configuration before deformation by the spring nature of a nickel layer. For example, it deforms in the form which the wiring 4 for rewiring currently formed a stress relaxation layer and on it stuck to each other according to an operation of the thermal stress caused by actuation of a semiconductor device. The deflection part of the redundancy part of wiring for rewiring in the swelling part of a stress relaxation layer is used for deformation of wiring for rewiring at this time. Then, when it is released from thermal stress etc. and a stress relaxation layer returns to the original configuration, for wiring for rewiring, only in copper wiring, copper wiring is a pile to return in the original wiring configuration at own spring nature of copper wiring. On the other hand, if a nickel layer is formed after copper wiring, wiring for rewiring (copper wiring) can return to the original configuration easily by the spring nature of the nickel layer. In addition, being formed after copper wiring may have spring nature comparable as a nickel layer not only on a nickel layer but on copper wiring. Moreover, to form wiring which is elastic instead of copper wiring, a nickel layer is necessarily unnecessary.

[0051] At the sixth process, after performing electrolytic copper plating and electric nickel plating, the resist 17 which is the reverse pattern of wiring is removed, and the electric supply film 16 which formed membranes beforehand by carrying out etching processing is removed. Although there was a class of ferric chloride, alkali system etching reagent, etc. of copper etching, in this example, the etching reagent which uses a sulfuric acid/hydrogen peroxide solution as a principal component was used. If there is no etching time for 10 seconds or more, control will become difficult, and since it will also produce the problem that side etching becomes large or a baton becomes long in etching, for example exceeding 5 minutes if too much long time amount etching is performed although it is disadvantageous in a practical viewpoint, an etching reagent and etching conditions are good to ask by experiment suitably. By this example, the etching reagent which uses potassium permanganate and a meta-silicic acid as a principal component was used for etching of the chromium part of the electric supply film 16 carried out succeedingly. In addition, the above-mentioned electric nickel-plating film is functioning also as etching resist in the case of etching of the electric supply film 16. Therefore, it is good to take into consideration the etch selectivity of nickel, copper and nickel, and chromium, and to determine the presentation component of an etching reagent, and etching conditions. For example, speaking concretely, by the sulfuric-acid hydrogen-peroxide etching agent used in the case of copper etching, making the content of a sulfuric acid into 15% or less desirably 50% or less at the maximum. Thereby, copper can be etched by about 10-time etch selectivity to nickel.

[0052] At the seventh process, only the bump pad 3, the cutting section 24, and its perimeter formed the surface protective coat 6 which carried out opening, and formed gold in the bump pad section 3 by carrying out non-electrolyzed gilding succeedingly. Here, after using a solder resist as a surface protective coat 6 and applying this all over a semiconductor device 13, a pattern is formed in exposing and developing negatives. In addition, it is also possible to use ingredients other than a solder resist, such as photosensitive polyimide and polyimide for printing, and to form the surface protective coat 6. By passing through the above processes, the surface protective coat 6 will cover completely the wiring 4 for rewiring, the stress relaxation layer 5, a protective coat 8, etc. For this reason, the surface protective coat 6 can inhibit that the wiring 4 for rewiring, the stress relaxation layer 5, and a protective coat 8 deteriorate, exfoliate and corrode with the stimulative matter.

[0053] Even at this seventh process, the wiring 4 for rewiring from the aluminum pad 7 to the bump pad 3 and the bump pad 3 are formed, as shown on the wafer 9 with which the semi-conductor was formed at drawing 17 and drawing 2.

[0054] At the eighth process, a bump is formed using solder ball loading equipment and a reflow furnace. That is, the flux and the solder ball of the specified quantity are carried on the bump pad 3 by using solder ball loading equipment. Under the present circumstances, temporary immobilization of the solder ball is carried out by the adhesion of flux on a bump pad. It is once fusing a solder ball and solidifying again after that in throwing into a reflow furnace the semiconductor wafer with which the solder ball was carried, and becomes the bump 1 linked to the bump pad 3 shown in drawing 1. In addition, there is also the approach of forming a bump 1 by carrying out printing spreading of the soldering paste on the bump pad 3 using a printing machine, and carrying out a reflow of this. Also

in which approach, it becomes possible [a solder ingredient] to choose various things, and many of solder ingredients currently supplied to the commercial scene in this time can be used. In addition, although a solder ingredient is limited, it is using a plating technique and there is also the approach of forming a bump 1. Moreover, the bump who formed using the resin which blended the bump who used the ball which used gold and copper as the nucleus, and the electrical conducting material may be used.

[0055] By passing through the process from the first process to the ninth process, it has the stress relaxation layer 5 shown in drawing 1 , and the wiring 4 for rewiring is formed by the small routing counter, and the semiconductor device 13 with which the flection which stress moreover concentrates in the middle of the wiring 4 for rewiring does not exist can be realized. Moreover, pattern formation of the stress relaxation layer 5 which is an insulating layer of a thick film can be carried out by using a printing technique, without using exposure and a development technique, and the stress relaxation layer 5 can have a slant face for forming the wiring 4 for rewiring.

[0056] According to this example, even when under-filling is not carried out but flip chip bonding of the semiconductor device 13 is carried out, the connection dependability of a semiconductor device 13 improves sharply. For this reason, it turns out that the flip chip bonding which does not use under-filling in many electric products becomes possible according to this example, and it becomes possible to reduce the prices of various electric products. Furthermore, since under-filling is not carried out, removal of a semiconductor device 13 is attained. That is, when the semiconductor device 13 linked to the circuit board is a defective, it becomes possible to remove a semiconductor device 13 from on the circuit board, and to reproduce the circuit board, and it becomes possible to reduce the prices of various electric products also by this.

[0057] Next, the ingredient of the stress relaxation layer 5 concerning this example is explained. Although the ingredient for stress relaxation layer 5 formation used most suitably at this example is paste-like polyimide, not only this but conversion amide imide resin, ester imide resin, ether imide resin, polyester resin, conversion silicone resin, conversion acrylic resin, etc. are sufficient as it. In the resin which has imide association among the resin which carried out [above-mentioned] listing, for example, polyimide, amide imide, ester imide, and ether imide, it excels in a heat mechanical property, for example, the reinforcement in an elevated temperature etc., thanks to the firm frame by imide association, and ***** of the plating electric supply film formation approach for wiring spreads as the result. For example, the plating electric supply film formation approach accompanied by high temperature processing, such as a spatter, can be chosen. When it is resin with the part condensed in association other than imide association, such as silicone resin, acrylic resin, polyester resin, amide imide, ester imide, and ether imide, although a heat mechanical characteristic is inferior a little, it may be advantageous in respect of workability, a resin price, etc. For example, by polyester imide resin, generally, since curing temperature is lower than polyimide, it is easy to treat. In this example, a component property, a price, a heat mechanical characteristic, etc. are synthetically taken into consideration out of these resin, and these resin is used properly suitably. Two or more kinds are blended, a coupling agent, a coloring agent, etc. for improving an adhesive property with various interfaces to this are blended, and the ingredient for stress relaxation layer 5 formation can use [independent or] resin, such as epoxy, a phenol, polyimide, and silicone.

[0058] Although the elastic modulus of the stress relaxation layer 5 can apply the thing of 0.1 to 10.0GPa extent in a room temperature, what has an elastic modulus lower than common polyimide is desirable. In being too small, in case it performs the formation of a projection electrode and the functional test of this semiconductor device which are mentioned later by an elastic modulus being less than 0.1GPa(s), we become easy to deform a wiring part and are anxious about problems, such as an open circuit. Moreover, if the elastic modulus of the stress relaxation layer 5 becomes large exceeding 10.0G, the reduction effectiveness of sufficient stress will not be acquired, but we are anxious about the connection dependability at the time of carrying this semiconductor device in a substrate falling.

[0059] Furthermore, as for the curing temperature of the charge of stress relaxation layer 5 material, it is desirable to use the thing from 100 degrees C to 250 degrees C. It is because wafer stress increases by the heat shrink at the time of hardening cooling or there is concern from which the property of a semiconductor device changes, when management within the process at the time of semi-conductor manufacture is difficult and curing temperature becomes high from this when curing temperature is lower than this. Since the stress relaxation layer after hardening is exposed to various processes, such as a spatter, plating, and etching, properties, such as thermal resistance, chemical resistance, and solvent resistance, are also required. concrete — as thermal resistance — the glass-transition temperature (T_g) — 150 degrees C — super- — it is desirable that it is 400 degrees C or less, and T_g is [180 degree C or more of $T_g(s)$] 200 degrees C or more most preferably more desirably. Drawing 41 is an experimental result which shows the relation between glass transition temperature (T_g) and coefficient of linear expansion. This shows that the crack has not occurred, if glass transition temperature (T_g) is 200 degrees C or more. In addition, the coefficient of linear expansion (α_1) in the field below [the viewpoint which stops the deformation in various temperature processings in a process to] T_g is so desirable that it is small. It is so good that it is specifically close to 3 ppm. Although a low spring material generally has a large coefficient of linear expansion in many cases, as for the range of the coefficient of linear expansion of stress relaxation layer 5 ingredient suitable at this example, it is desirable that it is the range of 3 ppm - 300 ppm. It is the range of 3 ppm - 200 ppm more preferably, and the range of the most desirable coefficient of linear expansion is 3 ppm - 150 ppm. On the other hand, as for pyrolysis temperature (T_d), it is desirable that it is about 300 degrees C or more. When T_g and T_d are less than these values, there is a danger that deformation of resin, and deterioration and decomposition will take place at a spatter or a sputtering etch process as the heat process in the inside of a process. When it says from a chemical-resistant viewpoint, it is desirable for resin deterioration of discoloration, deformation, etc. not to take

place 30% by the immersion of 24 hours or more to a sulfuric-acid water solution or 10% sodium-hydroxide water solution. As solvent resistance, it is desirable to set a solubility parameter (SP value) to $8-20(\text{cal}/\text{cm}^3)^{1/2}$. When the object for the stress relaxation layers 5 is the ingredient which comes to carry out conversion of some components to base resin, it is desirable for the greater part of the presentation to have said the range of the above-mentioned solubility parameter. Speaking more concretely, it being desirable for less than 8 and a 20 super-***** component not to contain [the solubility parameter (SP value)] more than 50 % of the weight. When such chemical resistance and solvent resistance are insufficient, an applicable manufacture process may be limited and it is not sometimes desirable from a viewpoint of manufacturing cost reduction. After taking into consideration synthetically actually the ingredient cost and the process degree of freedom with which are satisfied of these properties, it is good to determine the ingredient for stress relaxation layer 5.

[0060] Then, the relation between the thickness of a stress relaxation layer, wafer stress, and alpha rays is explained. Drawing 18 shows the thickness of a stress relaxation layer, and the relation of wafer stress. When diameter the wafer of 8 inches is made to apply and harden a stress relaxation layer, if thickness becomes thick rather than 150 micrometers, wafer stress becomes large, and as shown in drawing 18, the crack of a wafer, peeling of an insulator layer, etc. will become easy for the curvature of a wafer to become large or to generate it.

[0061] On the other hand, the relation between the thickness of a stress relaxation layer and the amount of alpha rays which penetrates the inside of a stress relaxation layer was shown in drawing 19. It generates by collapse of uranium, thorium, etc. which are contained as an impurity in the solder used for a semiconductor device, and alpha rays cause malfunction of the transistor section. If the thickness of a stress relaxation layer becomes thicker than 35 micrometers as shown in drawing 19, alpha rays will hardly be penetrated, and the problem of malfunction by alpha rays is not produced. Since alpha rays will penetrate if the thickness of a stress relaxation layer becomes thin from 35 micrometers on the contrary, it turns out that malfunction by alpha rays becomes easy to take place.

[0062] Connection dependability with the substrate in which it prevented that alpha rays reached to the circuit part formed in the semiconductor device front face from these relation by making thickness of a stress relaxation layer into 35 micrometers or more 150 micrometers or less, and a semiconductor device and this were carried is securable. In addition, the part which cannot be easily influenced [the memory cell 110 grade which is easy to receive incorrect actuation of the part which is easy to be influenced of alpha rays depending on the configuration of a semiconductor device, for example, a transistor, and] of alpha rays is in the same component. Then, it can prevent that alpha rays reach to the circuit part formed in the semiconductor device front face by making thickness of a stress relaxation layer into 35 micrometers or more 150 micrometers or less to the part which is [as opposed to / especially / alpha rays] easy to be influenced, as shown in drawing 20 and 21. In addition, even if it makes it less [the thickness of the stress relaxation layer formed in the field which cannot be easily influenced of alpha rays] than 35 micrometers, it is satisfactory in the viewpoint of alpha-rays electric shielding. As it follows, for example, is shown in drawing 21, alpha-rays electric shielding forms the stress relaxation layer of a required field thickly, in other fields, a stress relaxation layer can be formed thinly, and average thickness of the whole stress relaxation layer can also be made into 35 micrometers or more 150 micrometers or less. When giving such a device, it is desirable to consider as the configuration of the semiconductor device which took into consideration the magnitude of the thermal stress strain concerning each bump. Since such a stress relaxation layer thicker [be easy to receive a thermal stress strain and] that it generally goes to the periphery of a semiconductor device 13 is needed, it is good to arrange the transistor field which is easy to be influenced to alpha rays on the periphery of a semiconductor device 13, and to arrange the field which cannot be easily influenced to alpha rays near the center of a semiconductor device 13. For example, as shown in drawing 38, it is also possible to make thickness of the stress relaxation layer 5 so gradually thick [near the center of a semiconductor device 13 is thin, and] that it go to the periphery section. In this case, since a connection angle becomes small while connection height becomes large compared with other bumps, the bump's herself stress relaxation function increased and the bump near a center has substituted for the stress relaxation function of the stress relaxation layer 5 which became thin. In addition, as shown at drawing 39 in the case of the semiconductor device 13 which has the field which is not influenced at all of alpha rays, as long as it arranges the field which is not influenced of alpha rays near the center of a semiconductor device 13, the stress relaxation layer 5 may not be formed near the center of a semiconductor device 13. Next, the example of the stress relaxation layer which includes the particle from which a stress relaxation layer and a presentation differ as other examples is explained.

[0063] The particle contained in the stress relaxation layer 5 mentioned above is the same ingredient as the stress relaxation layer 5, and has the same physical properties. It can have viscoelastic property required for printing because a particle distributes in a stress relaxation layer.

[0064] However, with this structure, since a physical-properties value changes rapidly on the boundary of a wafer and the stress relaxation layer 5, thermal stress etc. may concentrate on that boundary part, and wiring may carry out an open circuit etc.

[0065] Then, the property of the stress relaxation layer 5 formed on the circuit forming face of a wafer is changed in the thickness direction, and it was made for the property of the stress relaxation layer by the side of a wafer front face to become close to the property of a wafer in this example.

[0066] The open-circuit prevention of the wiring section of the stress of the force discontinuous to wiring which lessened the difference of the property in the boundary section a wafer top face and under a stress relaxation layer, and established it on these by this, the tension by expansion contraction of a stress relaxation layer, or compression and bending is attained by making it not join the wiring section.

[0067] Furthermore, the substrate side with which the property of the stress relaxation layer 5 by the side of a wafer carries near and this semiconductor device in a wafer is effective not only in wiring on the stress relaxation layer 5 but the improvement in a connection life of the connection of this semiconductor device and said substrate by carrying out near to the property of the substrate.

[0068] Here, a coefficient of thermal expansion or an elastic modulus can be considered as a property of changing gradually in the thickness direction of the stress relaxation layer 5. And as a concrete means to change the property of a stress relaxation layer, as shown in drawing 22, the silica particle 102 which is an insulating particle is blended, distribution of the loadings of the silica particle 102 is given in the thickness direction of the stress relaxation layer 5, and a coefficient of thermal expansion and an elastic modulus are changed gradually. In the part over which many silica particles 102 are distributed, an elastic modulus becomes [the coefficient of thermal expansion of the stress relaxation layer 5] small highly. On the other hand, if the loadings of the silica particle 102 decrease, a coefficient of thermal expansion will become large and an elastic modulus will become low.

[0069] By performing distribution of the circuit formation on a wafer, the stress relaxation stratification, and a silica particle, wiring formation on a stress relaxation layer, etc. in the state of a wafer, there are little simplification of a whole process, variation at the time of manufacture, etc., and the improvement in a life of the wiring section is possible also for the production process of the semiconductor device in this example.

[0070] In this example, one kind or the particle which blends two or more kinds and consists of organic materials, such as polyimide and silicone, if needed may be suitably blended for the particle which consists of inorganic materials, such as the silica and alumina which are an insulating particle for adjusting an elastic modulus and heat expansion to the stress relaxation layer 5, and boron nitride.

[0071] Furthermore, since malfunction by the ultraviolet rays of the circuit section formed on modifiers, such as thermoplastics which raises the elongation after fracture and the breaking strength of the coupling agent and the resin which consists of alkoxysilane, titanate, etc. for adhesive improvement with the various interfaces which constitute a silica particle and an insulating resin layer, and a wafer etc. prevents, it is possible to also blend the hardening accelerator for promoting the hardening reaction of the color for coloring an insulating resin layer, a pigment, and a resin layer etc.

[0072] As the formation approach of the stress relaxation layer 5 of having changed the property in the thickness direction, the liquefied stress relaxation layer 5 which comes to blend the ingredient of said publication, for example is applied on the circuit side of a wafer, it is the process which carries out heat hardening of this stress relaxation layer 5, and there is a method of make the insulating particle which consists of a blended silica sediment gradually to a wafer side. If a particle with smaller particle diameter cannot sediment easily early, sedimentation turns a wafer down and a particle with larger particle diameter performs heat hardening of a stress relaxation layer when the particle diameter of a silica particle has distribution, distribution of a property will be formed in the thickness direction of a stress relaxation layer.

[0073] As an approach of controlling concentration distribution in the direction of thickness of the silica particle blended with the stress relaxation layer 5, the curing temperature of insulating resin and a curing temperature profile are adjusted suitably, or there is a method of changing the particle size distribution of insulating particles, such as an approach, a silica particle, etc. which blend suitably the reaction inhibitor for delaying the loadings of the hardening accelerator for bringing advance of hardening forward, a class, or hardening etc.

[0074] A silica particle applicable to this example can apply what fused and crushed the lump of the ingot-sized silica, the thing which carried out heating fusion and conglobated the silica particle again after crushing a silica ingot, the silica particle compounded further. The particle size distribution and loadings of a silica particle can be variously changed according to the magnitude of the semiconductor device which applies the structure of this example, thickness, a degree of integration, the thickness of the stress relaxation layer 5, and the particle size of a particle and the class of substrate to carry.

[0075] When forming the stress relaxation layer 5 by print processes, it may be necessary to change distribution of particle diameter also with the dimension of the mask applied depending on the approach of printing.

[0076] In addition, the stress relaxation layer 5 does not need to be formed by one printing, and as shown in drawing 23, it may be formed by at least two printings or more. Furthermore, the loadings of the silica particle contained in each layer are changed, and you may print.

[0077] In this example, since the physical properties of the part in which wiring is formed do not change from the circuit section of a wafer rapidly in the phase of resulting in the electrode prepared on the stress relaxation layer, the big force does not concentrate on some wiring and open-circuit prevention of wiring is attained.

[0078] Next, an example of the example of the semiconductor device 13 which made thin thickness of the stress relaxation layer 5 of bump 1 directly under which exists in the circumference approach of a semiconductor device 13 compared with other parts is explained using drawing 24. As for bump 1a of the outermost periphery, only in delta, in this example, height is low compared with bump 1b of that one inside.

[0079] There is a method of changing the rate of the solvent under printing conditions, such as existence of the minute particle contained in stress relaxation stratification ingredients, such as a paste-like polyimide ingredient, a configuration of a particle, combination and a print speed, a version detached building rate, and a count of printing, and paste etc. as an approach of making thickness of the stress relaxation layer 5 thin about the periphery of a semiconductor device 13.

[0080] In bump 1a which generally exists in the circumference approach of a semiconductor device 13, a big distortion has arisen compared with other bump 1b etc. with the various loads after connecting a semiconductor

device 13 to the circuit board 14. For example, since the coefficient of linear expansion of a semiconductor device 13 and the circuit board 14 differs, at the time of a temperature rise, such a big distortion generates them that it is set to bump 1a of the circumference approach of a semiconductor device 13. When this distortion is large, or when carrying out a repeat operation, it is easy to destroy bump 1a from the circumference of a semiconductor device 13.

[0081] as [showed / the bump 1 / when thickness of the stress relaxation layer 5 was made thin about the circumference approach of a semiconductor device 13, and it became possible to control the configuration of the corresponding bump 1 of a part and connected with the circuit board 14 / as it was in this example, / drawing 25] - longwise - it is set to bump 1aa. such - longwise - in bump 1aa, since the volume itself is the same as that of the other bumps 1, the contact angle of a bump 1 and the bump pad 3 and the contact angle of a bump 1 and the pad on the circuit board 14 become large. That is, it is set to $\alpha_1 > \alpha_2$ and $\beta_1 > \beta_2$ in drawing 25.

[0082] The stress concentration to the connection of a bump and Bud will be eased because a contact angle becomes large. Thus, the connection dependability of a semiconductor device 13 and the circuit board 14 can be raised by making thickness of the stress relaxation layer 5 thinner about the bump pad 3 formation part of the periphery of a semiconductor device 13 than other parts, and making a bump's 1 configuration longwise. In addition, the cross-section configuration of the stress relaxation layer 5 can be designed within limits which do not have trouble at the time of connection of as opposed to the circuit board 14 of a semiconductor device 13 in a bump's 1 height, and can consider various things.

[0083] The magnitude of delta is determined in consideration of the bump height variation allowed value at the time of the functional test of the stress relaxation characteristic required of aa and the longwise bump 1(2) semiconductor device 13 which are located in the (1) outermost periphery, the bump height variation allowed value at the time of the connection to the circuit board 14 of the (3) semiconductor device 13, etc. If it describes more concretely, the above-mentioned stress relaxation characteristic can be found from the elastic modulus of the stress relaxation layer 5, and the size of a semiconductor device 13. On the other hand, about the variation at the time of a functional test and connection, after also taking into consideration deformation of a solder ball and the stress relaxation layer 5, those allowed values are calculated. For example, if a functional test pushes an inspection fixture from a bump top face and is made to deform the stress relaxation layer 5, it can carry out a functional test in the condition that bump height variation does not exist substantially. Even if it performs such actuation, since the modulus of elasticity is fairly low compared with a solder bump ingredient, rather than deformation of a solder bump, deformation of the stress relaxation layer 5 gives priority to the stress relaxation layer 5, it happens, and a blemish is not attached to a solder bump. So, even if the value of delta demanded from a stress relaxation characteristic becomes larger than the bump height variation demanded with functional test equipment, if it is the range which can respond according to deformation of the stress relaxation layer 5, it will not interfere. Moreover, since a stress relaxation ingredient is an elastic body, and a configuration is restored after inspection termination, there is no special problem also at the time of connection with a substrate. A consideration of this will determine (3) to the above (1) and delta as a matter of fact. As mentioned above, since, as for a stress relaxation characteristic, 35 thru/or a good result are obtained for the thickness of the stress relaxation layer 5 by 150 micrometers, it becomes $\text{delta} = 150 - 35 = 115$ micrometer from a stress relaxation characteristic. Moreover, the value of $\text{delta} = 115$ micrometers is almost equal to the upper limit to the circuit board 14 permitted in the case of connection. Therefore, the value of delta turns into an upper limit, when 115 micrometers is many.

[0084] Moreover, detailed-ization of a semiconductor device progresses, and on the relation of wiring of a semiconductor device, the structure of this example can be adapted, also when a bump must be formed in the ramp of a stress relaxation layer. In addition, although the thickness of the stress relaxation layer 5 is controlled by above-mentioned drawing 24 in order to distinguish between height by outermost periphery bump 1a and bump 1b of the one inside, there is also an approach by the structural adjustment of a protective layer 8 as the other control approaches. For example, as shown in drawing 40, the organic layer of a protective coat 8 is not formed directly under outermost periphery bump 1a, or it limits for forming very thinly, and inside bump 1b, there is the approach of forming the organic layer of a protective coat 8 more thickly. A problem does not have attaining the desired height difference delta in any way by adjusting suitably the thickness of the stress relaxation layer 5, and the organic bed depth of a protective layer 8, and controlling them if needed, either.

[0085] Moreover, since external force tends to join the bump located in the outermost periphery of a semiconductor device and a crack etc. may be made to solder, some may be used as a buffer member among the bumps located in the outermost periphery. In this case, as for the bump who uses it as a buffer member, it is desirable to consider as an unnecessary thing, when the semiconductor device which is not electrically connected with the aluminum pad 7 operates electrically. A period until fracture occurs by the bump of required others when a semiconductor device operates electrically by this is extensible. In addition, about some bumps who consider as a buffer member, enlarging the diameter of a bump can also extend the period to bump fracture further. In addition, in this example, in order to enlarge the suitable diameter of a bump, which approach of well-known common use may be used, but when one suitable approach is illustrated especially, the volume of solder itself is enlarging a bump land (pad), making it the same as that of other bumps. While the diameter of connection becomes large by enlarging a pad, since it is the same as others, bump height becomes low, as the result, the contact angle of a bump and a pad becomes large and the volume of solder can avoid the stress concentration to the point of contact of a pad with a bump, when it connects with the circuit board 14. Since the absolute value of crack die length when the diameter of a bump increased, until it results in fracture itself is large while crack progress within solder becomes slow, when stress

concentration was lost, a bump contributes to the period extension to a stage greatly.

[0086] Moreover, if it thinks from a viewpoint of making easy the design of the wiring drawer of the circuit board which connects a semiconductor device It is desirable to arrange a power source or a grand line near the center of a semiconductor device. As the result As for the wiring 4 for rewiring which connects a bump pad with a near distance from the aluminum pad 7 and an aluminum pad as shown in drawing 26 (a) and (b), it is [the wiring 4 for the maximum wiring which connects a far bump pad as a signal line] desirable to use as a power source or a grand line. In this case, the bump with a near distance from an aluminum pad may be located in the ramp of the stress relaxation layer 5. Moreover, a power source or a grand line may be made to make wiring width of face larger than a signal line.

[0087] Other examples of a semiconductor device are shown in drawing 27 . At this example, the stress relaxation layer 5 is formed, where the semiconductor device 13 of the next door on the wafer 9 with which the semiconductor was formed is straddled. The device on a design is made so that, as for the aluminum pad 7, the bump pad 3, and the wiring 4 for rewiring that connects these, the wiring 4 for rewiring may not cross the boundary of a semiconductor device 13 and the next semiconductor device 13. Although the production process is fundamentally [as what was already explained] the same, there is a difference after the seventh process.

[0088] In case a semiconductor wafer is cut, cutting of the stress relaxation layer 5 is also needed, but since the stress relaxation layer 5 is a low spring material, it is difficult for bundling up with the wafer 9 with which the semiconductor with which most consists of silicon and reinforcement differs was formed, and cutting. For this reason, after performing cutting to the stress relaxation layer 5 first, the dicing of the wafer 9 with which the semiconductor was formed is carried out. Hereafter, it explains using drawing 28 .

[0089] First, only the stress relaxation layer 5 is cut at the seventh amelioration process. It is good to use the rotary knife suitable for cutting of a low elastic resin ingredient as a cutting process. In addition, carbon dioxide gas laser, sandblasting, etc. can be used.

[0090] In the eighth amelioration process, a solder resist is applied to the whole surface as a surface protective coat 6. Printing and curtain coating using the mask of the shape of a mesh besides a spin coat method as the method of application are sufficient. Also in order to apply a solder resist, the wall surface of the cutting section of the stress relaxation layer 5 in the seventh amelioration process is not perpendicular, and it is desirable to make it become the shape of reverse Ha's character. By performing this coating after cutting of the stress relaxation layer in the seventh amelioration process, the stress relaxation layer 5 can become the factor which exfoliates from the front face of a wafer 9 in which the semi-conductor was formed, or invasion of foreign matters, such as ion which causes the performance degradation of a semi-conductor, can be mitigated, and the device which secured endurance etc. can be offered.

[0091] In the ninth amelioration process, the pattern of the surface protective coat 6 is formed by performing sensitization development. Thereby, only the bump pad 3, the cutting section 24, and its circumference are exposed from the surface protective coat 6. Moreover, gold is formed on the bump pad 3 by giving non-electrolyzed gilding by using the surface protective coat 6 as a mask. In addition, although considered only as gilding in the example, you may give, before plating the plating of palladium or platinum with gold, and even if it performs tinning after gilding termination, there is no special problem.

[0092] In the tenth amelioration process, the wafer 9 with which the semi-conductor was formed of dicing is divided into a semiconductor device 13. In addition, generally dicing is performed using a rotary knife.

[0093] Manufacture of the semiconductor device 13 which includes the process which cuts the stress relaxation layer 5 according to the above process is attained.

[0094] According to this example, even when the dimension of a semiconductor device 13 is small, it becomes possible to form the stress relaxation layer 5 satisfactory. In specifically forming the stress relaxation layer 5 ranging over two adjacent semiconductor devices Even if a dimension becomes half mostly, it is not necessary to change the membrane formation technique of the stress relaxation layer 5. Even if it changes the magnitude of a semiconductor device by adjusting the width of face of the cutting section 24 which is cutting at the time of separating the configuration of a semiconductor device, a dimension, and the semiconductor device 13 of each other, and a configuration, manufacturing using the same printing mask may even become possible. Moreover, since the wiring 4 for rewiring has connected the aluminum pad 7 and the bump pad 3 through the ramp of the stress relaxation layer 5 like the first example, stress raisers do not exist in the wiring 4 for rewiring, either, but the flip chip bonding of it which does not need under-filling becomes possible.

[0095] In addition, especially the structure concerning this example can be adapted for the semiconductor device with which the pad was arranged by the pin center, large part of a semiconductor device, for example, DRAM etc.

[0096] Moreover, although the stress relaxation layer 5 over two adjacent semiconductor devices 13 was cut in drawing in this example, as long as the slope section for the wiring 4 for rewiring to result [from the aluminum pad 7] in the bump pad 3 exists, it is also possible to adopt the structure where the stress relaxation layer 5 connected about the semiconductor device 13 of at least 2 more than, for example, four semiconductor devices which adjoin each other mutually, is cut. The connected stress relaxation layer 5 is formed and you may make it cut it about two trains which adjoin each other with a natural thing. In this case, since it becomes the process which can permit a location gap of the direction of a train, it is more applicable also to micro processing.

[0097] In each example, as shown, for example in drawing 2 or drawing 27 , it is good for the corner of the stress relaxation layer 5 to give a radius of circle. When it does not give a radius of circle, in case the stress relaxation layer 5 is printed using a paste-like polyimide ingredient, it sometimes gazes at the defect who involves in air

bubbles. Moreover, the stress relaxation layer 5 becomes easy to exfoliate from a corner. If air bubbles remain in the stress relaxation layer 5, when a semiconductor device 13 is heated, air bubbles will explode and the fault of the wiring 4 for rewiring being disconnected will arise. For this reason, as for the corner of the pattern opening 18 of the metal mask for printing used for formation of the stress relaxation layer 5, rounding off is desirable.

[0098] In addition, using the metal mask for printing, or a dispenser, printing spreading of the stress relaxation layer 5 in each example can be carried out, and it can be formed.

[0099] Moreover, it can form approaches, such as sticking the resin sheet of not only the printing approach but a ~~*****~~, air or blasting and the ink jet method using inactive gas, un-hardening, or a semi-hardening condition, or by combining these approaches suitably. When forming a stress relaxation layer by the printing approach, and the inclination of a printing section edge prints an insulating material and a printing mask is removed, in a heat hardening process, a flow of an insulating layer takes place at the end, and the ramp of an edge is formed. It is possible to create the edge which has a stress relaxation layer and a specific inclination per wafer by this approach by package. On the other hand, when forming a stress relaxation layer by the stamping, since the insulating material for stress relaxation is applied to the mold for ~~*****~~ and the configuration of a stress relaxation layer is imprinted on a wafer, selection of the insulating material which form status change-ization of the edge at the time of insulating material hardening does not produce is attained. In this case, there is the description that the configuration of an edge tends to become fixed compared with a printing method. Furthermore, by the method which sprays an insulating material using gas etc., if those with a degree of freedom and nozzle dimensions are suitably chosen as the configuration at the time of the stress relaxation stratification in order not to use a printing mask or ~~*****~~ metal mold, in a printing mask or ~~*****~~ metal mold, formation of the stress relaxation layer which is hard to form will be attained. Moreover, compared with a printing method or a ~~*****~~ method, the thickness of a stress relaxation layer can be adjusted by adjustment of the amount of blasting, and the range of thickness adjustment also becomes large. By the method which sticks the resin sheet which is not hardened [semi-hardening or], in order to attain formation of the stress relaxation layer of a thick film and to use insulating sheet-like resin beforehand, there is the description of excelling in the surface smoothness of a stress relaxation layer front face. It becomes possible about these approaches to obtain desired stress relaxation layer thickness and an edge inclination a single or by combining suitably.

[0100] Next, other examples of a semiconductor device are shown. the cross-section schematic diagram showing the condition of having carried drawing 29 R> 9 in the substrate for changing the projection electrode of a semiconductor device, and drawing 30 are the cross-section schematic diagrams showing the condition of having closed the clearance between a semiconductor device 13 and the substrate in which this is carried by resin 118 further — it comes out.

[0101] The letter electrode 1 of a projection formed in the semiconductor device 13 is carried through a ~~*****~~-strike or flux on the electrode 120 with which it corresponds on a substrate, melting of said letter electrode of a projection is carried out at a reflow furnace etc., and connection of a substrate 115 and a semiconductor device 13 is made. The substrate carrying a semiconductor device has the letter electrode 121 of a projection if needed [an electrode 120 and if needed] for carrying in the substrate used for various electronic equipment at the rear face of a semiconductor device loading side.

[0102] In case a semiconductor device 13 is carried in the substrate used for various electronic equipment, it is necessary to carry out heating melting of the letter electrode 121 of a projection prepared on the substrate 115. In order to raise further these mounting processes and the dependability in various trials, especially the dependability results over a drop impact test, between a semiconductor device 13 and substrates 115 is reinforced by resin 118.

[0103] The resin 118 filled up with between a semiconductor device 13 and a substrate 115 The liquefied epoxy resin used for the general semi-conductor closures, phenol resin, In order polyimide resin, silicone resin, etc. are usable and to adjust the coefficient of thermal expansion and elastic modulus of closure resin A silica, Or two or more kinds are blended. the particle which consists of inorganic materials, such as an alumina and boron nitride, — one kind — Moreover, it is possible to blend the hardening accelerator for promoting the hardening reaction of the flame retarder for making the coupling agent and coloring agent which consist of resin, such as silicone and thermoplastics, alkoxysilane, titanate, etc. if needed, and fire retardancy give, or a fire-resistant assistant resin layer etc.

[0104] In this example, even if it is the case where the pitch of the letter electrode of a projection on a semiconductor device differs from the pitch of the electrode of the substrate used for various electronic equipment, it becomes possible by minding a predetermined substrate to connect with various electronic equipment.

[0105] In addition, also when you mount in the circuit board used for general electronic equipment like mounting to the substrate used as a semiconductor device, suppose that it is the same.

[0106] In addition, in the example explained until now, destruction of a connection can be prevented by using the ingredient of low elasticity for the insulating layer of a semiconductor device if needed, for example, forming an insulating layer with a thickness of 35 microns or more. Moreover, it becomes possible to reduce sharply the stress produced in a connection in the insulating layer of low elasticity existing. For this reason, the connection life of a semiconductor device improves sharply.

[0107] Moreover, when adopting the insulating layer of the thick film of about 35 micrometers or more, the conventional wiring formation approach cannot be applied. Since the ingredient for insulating stratification is hyperviscosity, it will become an insulating layer containing air bubbles, and will stop achieving the function as an insulating layer in a spin coat method, when carrying out thick-film formation of the insulating layer. Independently,

since the permeability of light falls in 35-micron thickness even if it develops the new thick-film formation approach, in exposure development, pattern formation of the opening of an insulating layer etc. cannot be carried out to this with high precision. ***** this problem is solvable — the side attachment wall of opening of an insulating layer — ** beyond about 80 degrees and it — since that height serves as a sharply larger value than wiring thickness perpendicularly, metal wiring becomes that it is hard to be formed in a side attachment wall. Moreover, since the flexion of metal wiring is formed in the boundary section of a side attachment wall and the upper layer even when it is able to form even if, it is easy to concentrate stress on this location, and, for this reason, a crack tends to progress. For this reason, the connection life at the time of circuit board connection will become short.

[0108] Then, it is desirable to form a thick-film insulating layer and to make the configuration of insulating-layer opening into a gently-sloping slant face by carrying out mask printing of the insulating material which contained the minute particle as mentioned above. Thereby, since the flexion of metal wiring which formation of is attained with the conventional method of construction, and stress concentrates does not exist, either, wiring on an insulating layer stops also being able to produce an open circuit of wiring easily.

[0109]

[Effect of the Invention] According to this invention, the semiconductor device which makes possible unnecessary flip chip bonding of under-filling is realizable, and even if it is the case that the dimension of a semiconductor device in every direction is small, an insulating layer can be formed for every semiconductor device.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1]** The fragmentary sectional view showing the structure of one example of the semiconductor device of this invention
- [Drawing 2]** The top view showing the condition that the semiconductor device of this example is formed continuously
- [Drawing 3]** Drawing having shown an example of the production process of the semiconductor device of this invention (1)
- [Drawing 4]** Drawing having shown an example of the production process of the semiconductor device of this invention (2)
- [Drawing 5]** Drawing having shown an example of the production process of the semiconductor device of this invention (3)
- [Drawing 6]** Drawing having shown the mask for printing used for formation of the stress relaxation layer of this invention
- [Drawing 7]** Drawing showing the process which is printing the stress relaxation layer
- [Drawing 8]** Drawing showing the version detached building process that a printing mask goes up from a wafer
- [Drawing 9]** Drawing having shown the semiconductor device with which the stress relaxation layer was formed
- [Drawing 10]** Drawing having shown the condition of having stuck the mask for exposure to the resist
- [Drawing 11]** Drawing having shown an example of wiring for rewiring
- [Drawing 12]** Drawing having shown another example of wiring for rewiring
- [Drawing 13]** Drawing showing the underdevelopment of the actual circuit pattern for rewiring
- [Drawing 14]** Drawing having shown another example of wiring for rewiring
- [Drawing 15]** Drawing having shown another example of wiring for rewiring
- [Drawing 16]** Drawing having shown another example of wiring for rewiring
- [Drawing 17]** Drawing having shown the semiconductor device which passed even through the seventh process in this invention
- [Drawing 18]** Drawing having shown the thickness of a stress relaxation layer, and the relation of stress
- [Drawing 19]** Drawing having shown the thickness of a stress relaxation layer, and the relation of alpha rays
- [Drawing 20]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 21]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 22]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 23]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 24]** Drawing having shown the semiconductor device which made thickness of a stress relaxation layer thin partially
- [Drawing 25]** Drawing having shown the condition of having connected to the circuit board the semiconductor device which made thickness of a stress relaxation layer thin partially
- [Drawing 26]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 27]** Drawing having shown the condition of having formed the stress relaxation layer ranging over the boundary of a semiconductor device and the next semiconductor device
- [Drawing 28]** Drawing having shown how to cut a stress relaxation layer
- [Drawing 29]** Drawing of one example which carried the semiconductor device in the substrate
- [Drawing 30]** Drawing of one another example which carried the semiconductor device in the substrate
- [Drawing 31]** Drawing having shown the conventional semiconductor device
- [Drawing 32]** Drawing having shown the condition of having connected the conventional semiconductor device to the circuit board
- [Drawing 33]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 34]** Drawing showing one another example of the structure of the semiconductor device of this invention
- [Drawing 35]** Drawing showing one another example of the structure of the semiconductor device of this invention
- [Drawing 36]** Drawing showing one another example of the structure of the semiconductor device of this invention
- [Drawing 37]** Drawing showing one example of the structure of the semiconductor device of this invention
- [Drawing 38]** Drawing showing one another example of the structure of the semiconductor device of this invention
- [Drawing 39]** Drawing showing one another example of the structure of the semiconductor device of this invention
- [Drawing 40]** Drawing showing one another example of the structure of the semiconductor device of this invention

[Drawing 41] Drawing showing the relation between glass transition temperature and coefficient of linear expansion
[Description of Notations]

1 [— Bump pad,] — A bump, 1aa — A longwise bump, 2 — Au plating, 3 4 [— Aluminum pad,] — Wiring for rewiring, 5 — A stress relaxation layer, 6 — A surface protective coat, 7 8 [— Metal wiring,] — A protective coat, 9 — The wafer, 10 in which the semi-conductor was formed — A bump, 11 12 [— Under-filling,] — An insulating layer, 13 — A semiconductor device, 14 — The circuit board, 15 16 — The electric supply film, 17 — The reverse pattern of wiring, 18 — The connection parts of an aluminum pad and wiring, 19 [— Resist,] — A boundary with a lower layer part, 20 — A clearance, 21 — An exposure mask, 22 23 — A connection with an aluminum pad, 24 — The cutting section, 25 — The stencil made from a nickel alloy, 26 [— A silica particle, 110 / — A memory cell, 115 / — A substrate, 116 / — An electrode, 118 / — Resin, 120 / — An electrode, 121 / — Electrode] — A resin sheet, 27 — A frame, 28 — Pattern opening of a printing mask, 102

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16197

(P2002-16197A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 23/29		H 0 1 L 21/56	E 4 M 1 0 9
23/31		21/60	3 1 1 S 5 F 0 4 4
21/56		23/12	5 0 1 S 5 F 0 6 1
21/60	3 1 1		5 0 1 C
23/12	5 0 1		5 0 1 P
審査請求 有 請求項の数14 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願2000-333529 (P2000-333529)

(22) 出願日 平成12年10月27日 (2000. 10. 27)

(31) 優先権主張番号 特願平11-307986

(32) 優先日 平成11年10月29日 (1999. 10. 29)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-134214 (P2000-134214)

(32) 優先日 平成12年4月28日 (2000. 4. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山口 欣秀

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72) 発明者 天明 浩之

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

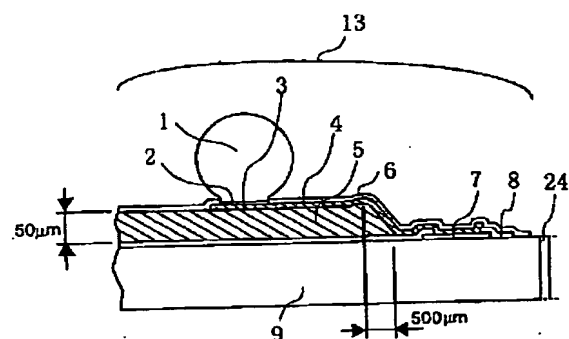
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 本発明の目的は、アンダーフィルの不要なフリップチップ接続を可能とする半導体装置を実現することにある。

【解決手段】 本発明は、上記目的を達成するために、複数の半導体素子が形成されたウェーハの上であって第一の半導体素子と第二の半導体素子とにまたがりかつ該第一の半導体素子の一部と該第二の半導体素子の一部とを含む領域に絶縁層を形成する工程と、該絶縁層の上に外部接続端子を形成する工程と、該第一の半導体素子と該第二の半導体素子との間において該絶縁層を除去する工程と、該絶縁層を除去した領域において該ウェーハを切断する工程を有するものである。

図1



(2)

1

【特許請求の範囲】

【請求項1】半導体素子と、該半導体素子の上に形成された絶縁層と、該絶縁層の上に形成された外部接続端子と、該絶縁層の上に形成され、かつ、該外部接続端子と該半導体素子の回路電極を電氣的に接続する配線を有し、該絶縁層の少なくとも1つの対向する傾斜部の角度が異なることを特徴とする半導体装置。

【請求項2】前記配線は、前記応力緩和層の対向する傾斜部のうち、傾斜角の小さい傾斜部の上に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記絶縁層の傾斜角の小さい傾斜部の傾きが前記半導体素子に対して約5%乃至約30%であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記絶縁層が粒子を有することを特徴とする請求項1に記載の半導体装置。

【請求項5】前記絶縁層の膜厚が約35マイクロメートル乃至150マイクロメートルであることを特徴とする請求項1に記載の半導体装置。

【請求項6】前記絶縁層はマスクを用いて印刷して形成されていることを特徴とする請求項1から5に記載の半導体装置。

【請求項7】ウエハの上に第一の半導体装置と第二の半導体装置にまたがるように第一の絶縁層をマスクを用いて印刷で形成する第一の工程と、該第一の絶縁層の一部であり、かつ該第一の半導体素子と該第二の半導体素子との間の領域にある部分を除去する第二の工程と、該ウエハを切断する第三の工程を有すること特徴とする半導体装置の製造方法。

【請求項8】前記第一の絶縁層の上に外部接続端子を形成する第四の工程を有することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】ウエハの上に第一の半導体装置と第二の半導体装置にまたがるように第一の絶縁層をマスクを用いて印刷で形成する第一の工程と、該第一の絶縁層の上に配線を形成する第二の工程と、該第一の絶縁層の一部であり、かつ該第一の半導体素子と該第二の半導体素子との間の領域にある部分を除去する第三の工程と、該第一の絶縁層の上に外部接続端子を形成する第四の工程と、該ウエハを切断する第五の工程を有すること特徴とする半導体装置の製造方法。

【請求項10】前記第三の工程と前記第四の工程の間に、前記第一の絶縁層および前記配線を第二の絶縁層で覆う工程を有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】前記第一の絶縁層の一部をレーザ加工もしくは機械加工により除去することを特徴とする請求項7または9に記載の半導体装置の製造方法。

【請求項12】第一の切断刃を用いて前記第一の絶縁層を切断し、第一の切断刃とは異なる第二の切断刃を用いて前記ウエハを切断することを特徴とする請求項7また

2

は9に記載の半導体装置の製造方法。

【請求項13】前記第一の絶縁層を前記ウエハの上に隣接する4つの半導体装置にまたがるように形成することを特徴とする請求項7または9に記載の半導体装置の製造方法。

【請求項14】前記第一の絶縁層を前記ウエハの上に隣接する2列の半導体装置の列にまたがるように形成することを特徴とする請求項7または9に記載の半導体装置の製造方法。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ接続を目的とする半導体装置の構造および製造方法に関する。

【0002】

【従来の技術】半導体装置の多くは積層構造となっており、各層の間には絶縁層が配置されている場合が多い。この絶縁層には開口部が設けられており、その開口部を通して、下層の端子と上層の端子とを接続する配線が形成されている。

20

【0003】絶縁層形成方法としては以下の方法が採用されている。つまり、感光性絶縁材料を半導体装置上にスピンコート法により塗布し、露光および現像を実施することで絶縁層の開口部を形成する。また、下層の端子と上層の端子とを接続する金属配線は、第二の感光性材料を絶縁層上層に塗布し、これに対して露光および現像を行うことでマスクを形成し、これとメッキ、スパッタ、CVD、蒸着等のプロセスを併用することで絶縁層下層の端子と上層とをつなぐ金属配線を形成する。マスクとして使用した感光性絶縁材料は不要となった後、これを除去する。

30

【0004】以上の工程により、絶縁層の下層にある端子と上層とを接続する配線が形成可能となる。このような工程により形成された半導体装置の部分断面図を図31に示す。同図においては、アルミパッド7が絶縁層12下層の端子となっており、バンプパッド3が絶縁層上層の端子となっている。そして半導体が形成されたウエハ9上に形成された絶縁層12は、アルミパッド7上に開口部が設けられている。また、アルミパッド7から、絶縁層12の上層のバンプパッド3まで、金属配線11が形成されている。バンプパッド3にはバンプ10が形成されている。なお、このようにアルミパッド7からバンプパッド3までの配線を形成することは再配線と呼ばれている。また、この際の絶縁層12の厚さは金属配線11の厚さとはほぼ同等となっている。

40

【0005】このような工程を経て製造された半導体装置をプリント配線板のような回路基板上に実装して接続する形態のひとつにフリップチップ接続がある。図32はフリップチップ接続した半導体装置の断面図である。半導体装置13と回路基板14との接続は、半導体装置

50

(3)

3

13の端子上に設けられたパンプ10が回路基板上で熔融後に再度固体化することで実現されている。半導体装置13と回路基板14との間隙は高剛性の樹脂で充填されている。なお、この樹脂は、アンダーフィル15と呼ばれ、接続部を補強する効果がある。アンダーフィルを実施したフリップチップ接続の例として特開平11-111768号公報がある。

【0006】

【発明が解決しようとする課題】しかしながら上記従来技術には、以下のような問題がある。

【0007】第一に半導体装置と回路基板との間隙への樹脂の供給方法に難がある。つまり、隙間が一般的に0.3mm以下である間隙に対して樹脂を供給する方法として、毛細管現象を利用する方法がとられている。しかし、アンダーフィル用の樹脂材料は、高粘度の液状樹脂であるので、隙間に埋め込む時間がかかり、また空泡が残存しやすい等の問題がある。

【0008】第二に半導体装置の取り外しに難がある。つまり、回路基板に接続した半導体装置が不良品であった場合、同半導体装置を回路基板上から取り外しても、硬化したアンダーフィル材料が、取り外した後も回路基板上に残留してしまうため、回路基板の再生が難しいという問題が存在する。

【0009】第一および第二の問題点を解決するためにも、アンダーフィルを実施せずに、半導体装置を回路基板に接続することが望ましい。しかしながら、アンダーフィルは、完成した電気製品を使用する際の発熱等による接続部に生じる歪みに起因する接続部の破壊を防止する目的で実施されており、実施しない場合には、半導体装置の接続寿命が極端に短くなってしまうという問題が生じる。

【0010】本発明の目的は、アンダーフィルの不要なフリップチップ接続を可能とする半導体装置を実現するにあたって、半導体装置の縦横寸法が小さい場合であっても半導体装置毎に絶縁層を形成することにある。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するために、特許請求の範囲の通りに構成するものである。例えば、複数の半導体装置にまたがる厚膜絶縁層を印刷形成し、配線が存在しない部分を切断して厚膜絶縁層を分割するものである。

【0012】これによってアンダーフィルの不要なフリップチップ接続を可能とする半導体装置を実現でき、かつ半導体装置の縦横寸法が小さい場合であっても半導体装置毎に絶縁層を形成することができることとなる。

【0013】なお、本明細書では、この厚膜絶縁層を応力緩和層と記載している。

【0014】

【発明の実施の形態】以下、本発明の一実施例について図を併用しつつ説明する。なお、全ての図において、同

4

一符号は同一部位を示しているため、重複する説明を省いている場合があり、また説明を容易にするため各部の寸法比を実際とは変えてある。

【0015】まず、本実施例による半導体装置の構造について説明する。半導体装置は、ウェーハ単位で多数個が一括して製造されるが、以下では説明を容易にするために、その一部を取り出して説明する。図1に本実施例の半導体装置13の部分断面図を示す。

【0016】半導体回路が形成されたウェーハ9とは、半導体製造工程でいうところの前工程を終了したウェーハであり、多数個の半導体装置13に分割切断前のものである。各半導体装置13には外部用接続端子、例えばアルミパッド7が形成されている。このアルミパッド7は従来型の半導体装置13において、QFP (Quad Flat Package) などの半導体パッケージにおさめる場合に、金ワイヤ等を接続し、半導体パッケージの外部端子との導通を実現するために使用されている。半導体回路が形成された半導体装置13の表面は、アルミパッド7上および多数個の半導体が形成されたウェーハ9をチップ状の半導体装置13に切断する際の切断部24およびその周辺を除き、保護膜8に覆われている。この保護膜8には厚さ1乃至10マイクロメートル程度の無機材料からなる絶縁樹脂単独あるいは有機材料からなる絶縁樹脂を併用している。この保護膜8には厚さ1乃至10マイクロメートル程度の無機材料からなる絶縁膜を単独、あるいは前記無機絶縁膜の上部に有機材料からなる有機絶縁膜を積層した複合膜を使用している。この複合膜を使用する場合、該有機膜は感光性樹脂材料を使用することが望ましい。本実施例で保護膜8の有機膜として好適な感光性材料を例示すると、感光性ポリイミド、感光性ベンゾシクロブテン、感光性ポリベンズオキサゾールなどがある。本実施例では、これに限らず保護膜として公知慣用の無機材料、有機材料あるいはこれらの複合膜が使用できる。例えば無機膜としては、SiNやSiO₂などが使用できる。また、該有機膜は無機膜のほぼ全面を覆うように形成されていても勿論かまわないが、図33に示されるようにアルミパッド7の近傍となる領域のみに形成されていてもかまわないし、図34に示されるように無機膜表面の任意の複数箇所のみに形成されていても構わない。このように有機膜の領域を限定することによって保護膜8の内部応力によるウェーハ9の反りが低減され、製造工程におけるハンドリングや露光時の焦点合わせなどの点で有利となる。なお本実施例では、アルミパッド7の近傍の領域とは、アルミパッド7の端部から最大距離1mmまでの領域を指している。なお、図33及び図34ではアルミパッド7の周囲の有機膜は連続領域に形成されているが、個々のアルミパッド毎にそれぞれ独立した領域に形成しても構わない。具体的には、例えば図35のような領域となる。図33から図35のいずれの形態を使用するかは、該有機

(4)

5

膜に使用する感光性樹脂のパターン精度、膜の内部応力、および該半導体装置の素子特性を鑑みて決定する。ここで言う素子特性の一例を挙げると、該半導体装置への応力作用により素子内部の個々のアクティブセル（トランジスタ）におけるエネルギー障壁の準位が変動したりすることを指している。

【0017】保護膜8の上には厚さ35乃至150マイクロメートルの応力緩和層5が選択的に形成されている。応力緩和層の膜厚は、半導体素子のサイズ、応力緩和層の弾性率、半導体素子厚などにも依存して一概には断定できないが、一般的に使用される半導体素子厚はおおよそ150乃至750マイクロメートルであり、半導体素子とその表面に形成される応力緩和層とからなるバイメタルモデルで応力シミュレーション実験をおこなったところ、所要の応力緩和層膜厚は10乃至200マイクロメートルが望ましく、更に好ましくは35乃至150マイクロメートルであることがわかったため本実施例はこの膜厚範囲で形成した。これは、半導体素子の厚みに対して約1/20から1/5程度の厚みに相当する。膜厚が35マイクロメートルより小さくなると、所望の応力緩和を得ることができず、また膜厚が150マイクロメートルを越えて厚くなると応力緩和層5自身が持っている内部応力のためにウェーハの反りが発生し、露光工程でのピントズレや配線形成工程などでのハンドリング不具合などが発生し易くなり、生産性が低下するという問題がある。応力緩和層5は、半導体ウェーハ9より大幅に小さい弾性係数、例えば室温において0.1GPaから10GPaの弾性係数を有する樹脂材料により形成されている。この範囲の弾性係数を有する応力緩和層であれば信頼性のある半導体装置を提供することができる。すなわち、0.1GPaを下回る弾性係数の応力緩和層の場合、半導体素子そのものの重量を支えることが困難になって半導体装置として使用する際に特性が安定しないという問題が生じやすい。一方、10GPaを越える弾性係数の応力緩和層を使用すると、応力緩和層5自身が持っている内部応力のためにウェーハの反りが発生し、露光工程でのピントズレや配線形成工程などでのハンドリング不具合などが発生し易くなり、さらにはウェーハが割れるという不具合が発生する危険性すらある。応力緩和層5のエッジ部は傾斜を有しており、その平均勾配は5乃至30%程度である。5%を下回る傾斜角の場合、傾斜が長くなりすぎて所望の膜厚が得られない。例えば、平均勾配3%の傾斜角で厚み100マイクロメートルとするためには、3ミリメートル超の水平距離が必要となり左右のエッジ部をあわせるとほぼ7ミリメートルがなければ所望の膜厚が得られないことになる。一方、傾斜角が30%超の場合、水平距離の点では問題がないが、逆に配線形成の際に十分なステップカバレージが得られない危険性が高い。特にめっきレジストの付き回りや露光および現像の工程でのプロセスマージ

6

ンがなく、特別な技能または技術が必要となる。さらに傾斜角が大きい場合には、いわゆる応力集中効果が作用してそのエッジ部に応力が集中し、その結果としてエッジ部で再配線用配線4の断線が発生しやすくなる傾向があらわれ、配線構造に特別な工夫が必要となる場合がある。図1の場合、応力緩和層5のエッジより500マイクロメートルの水平距離にて50マイクロメートルの膜厚となっているため、平均勾配は10%である。再配線用配線4は、銅などの導体で形成されており、アルミパッド7と応力緩和層5表面の突起状電極、例えばパンプパッド3とを接続している。またパンプパッド3上は、パンプパッド3の酸化を防止するための金めっき2を設けてもよい。半導体装置13の表面はパンプパッド3および多数個の半導体が形成されたウェーハ9を各半導体装置13に切断する際の切断部24を除き、表面保護膜6で覆われている。

【0018】表面保護膜6で保護膜8および応力緩和層5を完全に覆うことで封止しているため、半導体素子が形成されたウェーハ9の表面から保護膜8および応力緩和層5が剥離することを防止し、半導体の性能劣化を引き起こすイオン等の異物の侵入をも軽減できる。また、保護膜8、応力緩和層5、表面保護膜6は、いずれも切断部24より後退しているため、半導体装置13を切断分離する際に損傷を受けることがない。

【0019】表面保護膜6としては電気絶縁特性を有する各種樹脂材料を使用することが出来る。パターンを形成する必要があるため感光性材料であることが望ましいが、例えばインクジェットなどの高精度印刷に対応した材料を用いて印刷で成膜しても構わない。その他、カーテンコートなどの安価な塗布方法によって絶縁膜をベタ形成した後にフォトリソグラフィプロセスを用いてエッチングレジストを形成してパターンニングし、このレジストパターンを用いて上記絶縁膜をエッチング加工、レジスト剥離という工程を経て成膜してもよい。このような材料として、本実施例では様々な材料が使用可能であるが、いくつか例示すると（1）感光性材料としてアクリル変性感光性エポキシ樹脂、感光性ポリイミド樹脂、（2）インクジェット印刷材料としてポリアミドイミド樹脂、ポリイミド樹脂、（3）ベタ成膜用材料として変性トリアゾール樹脂、変性メラミン樹脂、ポリイミド樹脂などが好適に用いられる。感光性材料についてさらに具体的に例示すると、安価な感光性樹脂材料としてプリント基板製造工程で好適に使用されるソルダーレジストやフレキシブルプリント基板の表面カバーに用いられる感光性ポリイミドなどが表面保護膜6として好適に利用される。一方、ベタ成膜用材料としては、例えば東レ（株）のフォトニースTMなどが好適である。なお本実施例では、ソルダーレジストを用いた。パンプパッド3上には、パンプ1が形成されている。このパンプ1は、はんだ材料で形成するのが一般的である。ここでパンプ

(5)

7

1が外部接続端子となる。

【0020】図2に図1で示した半導体装置13がウェーハ上に連続的に形成されている状態を、本来は存在するパンプ1を省略した平面図で示した。図2においてハッチングで示した部位が表面保護膜6であるソルダーレジストである。また、応力緩和層5が角を丸めた長方形に形成されている状態で形成されおり、各半導体装置13の間には各半導体装置13を分離する際の切りしろとなる切断部24が存在する。切りしろは、例えば表面保護膜6の端部から10乃至100マイクロメートルに位置するのが望ましい。10マイクロメートルより短いと各半導体装置を分離する際にチップングを誘発しやすくなる傾向があり、逆に100マイクロメートルより長くなると半導体素子として使用可能な有効面積が減少する。従って、半導体装置13の歩留まり向上のために切りしろと表面保護層6との間隔を本実施例では10乃至100マイクロメートルに位置させることが望ましい。なお、再配線用配線4の一端の下層には図示されていないがアルミパッド7が存在する。

【0021】この半導体装置構造によれば、応力緩和層5が再配線用配線4とウェーハ9間に存在するため、半導体装置13が回路基板14上に接続され、それが動作する際にパンプ1が受ける熱による歪みを分散させることが可能となる。このため、この半導体装置13を回路基板14に搭載してもアンダーフィル15を実施することなく接続寿命を延ばすことが可能となる。また、応力緩和層5はなだらかな傾斜部を有しているため、再配線用配線4の途中に応力集中部となる配線屈曲部は存在しない。

【0022】本実施例における半導体装置13の製造工程の一例を、図を用いて説明する。図3により第一工程から第三工程までを、図4により第四工程から第六工程を、図5により第七工程から第九工程を説明する。なお、いずれの図においても、本実施例における半導体装置13の断面構造がわかりやすいように、一部分を取り出した断面図としてある。

【0023】第一工程：外部接続用のアルミパッド7が形成済みである半導体が形成されたウェーハ9については、従来の半導体装置13と同じ工程にて製造する。本実施例で使用した半導体装置では外部接続用パッドの材質はアルミニウムであったが、外部接続パッドは銅であってもかまわない。本実施例では外部接続としてワイヤボンディングを使用しないため、外部接続パッドが銅の場合に生じやすいボンディング性の問題を考慮する必要がないからである。外部接続パッドが銅であれば配線の電気抵抗を低減できるため、半導体素子の電気特性向上の観点からも望ましい。

【0024】第二工程：必要に応じて、保護膜8を形成する。保護膜8は、無機材料を用いて半導体製造工程におけるいわゆる前工程において既に形成される場合もある

8

り、また、更に無機材料の上に有機材料を用いて重ねて形成する場合もある。本実施例に於いては、半導体工程におけるいわゆる前工程で形成された無機材料からなる絶縁膜、例えばCVD法等で形成した窒化珪素、テトラエトキシシラン等によって形成された二酸化珪素、あるいはそれらの複合膜からなる絶縁膜の上に、有機材料である感光性ポリイミドを塗布し、これを感光、現像、硬化することで厚さ6マイクロメートル程度の保護膜8を形成している。これにより、半導体が形成されたウェーハ9上に保護膜8が形成される。本実施例では保護膜8の膜厚を6マイクロメートルとしたが、所要膜厚は当該半導体素子の種類によって異なっており、その範囲は1乃至10マイクロメートル程度となる。なお、図13に示しているように該有機膜は無機膜のほぼ全面を覆うように形成されていても勿論かまわないが、図33～図35に示されるようにアルミパッド7の近傍となる領域のみに形成されていてもかまわない。無機材料のみからなる絶縁膜の場合、膜厚の範囲は3マイクロメートル以下となる。また、本願実施例で使用した感光性ポリイミド以外にも、ポリベンズオキサゾール、ポリベンゾシクロブテン、ポリキノリン、ポリフォスファゼンなども使用できる。

【0025】第三工程：ペースト状ポリイミド材料を応力緩和層5の形成予定箇所に印刷塗布し、その後これを加熱することで硬化させる。これにより保護膜8上に応力緩和層5が形成される。

【0026】第四工程：電気めっきに用いるための給電膜16をスパッタ等の方法で形成した後に、配線の逆パターン17をフォトリソを用いて形成する。

【0027】第五工程：この給電膜16および配線の逆パターン17を利用して電気めっきを行い、再配線用配線4およびパンプパッド3の形成を行う。また、必要に応じて電気めっきを繰り返すことで再配線用配線4を多層構造とする。

【0028】第六工程：フォトリソからなる配線の逆パターン17および電気めっきの給電膜16をエッチング処理により除去する。

【0029】第七工程：ソルダーレジストを用いて表面保護膜6を形成する。そして、このパターンを利用してパンプパッド3の最表面に無電解金めっき2を行う。

【0030】第八工程：パンプパッド3上にフラックスと共にはんだボールを搭載し、加熱することでパンプパッド3にはんだボールを接続し、パンプ1を形成する。

【0031】第九工程：半導体が形成されたウェーハ9をウェーハダイシング技術により半導体装置13に切断する。

【0032】以下では、上記の第三工程から第八工程までについて詳細に説明する。

【0033】まず、第三工程について説明する。印刷に使用するマスクは、プリント配線板に対するはんだペー

10

20

30

40

50

(6)

9

スト印刷などで使用する印刷用マスクと同じ構造のものが使用可能である。例えば、図6に示すように、ニッケル合金製のステンシル25を、樹脂シート26を介して枠27に貼り付けた形態のメタルマスクを使うことが出来る。印刷用マスクのパターン開口部28は、50マイクロメートル程度は印刷後にペーストが濡れ広がるため、それを見込んだ分、小さめに製作するようにしてもよい。図7に示すように、ペースト印刷は、印刷用マスクと半導体が形成されたウェーハ9のパターンとを位置合わせした状態で密着させ、その状態でスキージがステンシル25上を移動することで、パターン開口部28を充填し、その後、印刷用マスクを半導体が形成されたウェーハ9に対して相対的に上昇させることで、印刷をするいわゆるコンタクト印刷をおこなう。なお、ここで言うウェーハと印刷用マスクの密着は、両者の間に隙間を全くなくすることを必ずしも意味しない。ウェーハ上には既に保護膜8が部分的に形成されているため、この上に印刷マスクを隙間なく密着させることは実用上困難なためである。本実施例では、ウェーハと印刷用マスクとの間の隙間が0～100マイクロメートルとなるような印刷条件で印刷した。このほかにも、第一スキージで印刷用マスクのスキージ面全体をペーストでコーティングし、その後、第二スキージで印刷用マスクのパターン開口部28を充填し、かつ余分なペーストを除去する。その後、印刷用マスクを半導体が形成されたウェーハ9に対して相対的に上昇させる印刷方法もある。図8に示すように、印刷マスクをウェーハ9に対して相対的に上昇させる際、垂直に上昇させてもかまわないが、相対的に傾斜角を持つように動かしながら上昇させても良い。傾斜角を持たせることによって、印刷マスクがウェーハから離れる場合の版離れ角がウェーハ面内で均一になりやすい。また、印刷マスクはウェーハの一方の端から他方の端へ向かって離れていくことになり、版抜けが不安定になりやすい版離れの最後の瞬間は半導体装置のない領域で行われることになって歩留り向上の点でも有利となる。さらに、同一の印刷機を用いて複数枚ウェーハに連続的印刷を行なう場合には、適宜のタイミングでマスク版の裏側を拭きとる工程を挿入すると良い。例えば、本実施例では10枚連続印刷すると1回マスク版の裏側の清掃を行ない、しかる後に11枚目の印刷を行なった。マスク裏側の清掃のタイミング、回数、その方法はペースト材料の粘度や固形分濃度、フィラー量などによって適宜調節が必要となる。

【0034】引き続きペーストが印刷塗布された半導体が形成されたウェーハ9をホットプレートや加熱炉を用いて段階的に加熱することでペーストが硬化し、応力緩和層5の形成が完了する。

【0035】ここで使用している応力緩和層5の形成用の材料は、ペースト状のポリイミドであり、保護膜8の上に印刷塗布された後に加熱することで硬化することが

10

出来る。また、このペースト状のポリイミドは、ポリイミドの前駆体と溶媒およびその中に分散した多数のポリイミドの微小粒子からなっている。微小粒子としては、具体的には平均粒径1乃至2マイクロメートルであり、最大粒径が約10マイクロメートルとなる粒度分布を有する微小粒子を使用した。本実施例に用いられているポリイミドの前駆体は、硬化するとポリイミドの微小粒子と同一材料となるので、ペースト状のポリイミドが硬化した際には、一種類の材料からなる均一な応力緩和層5が形成されることとなる。本実施例では、応力緩和層形成材料としてポリイミドを用いたが、本実施例ではポリイミド以外にアミドイミド樹脂、エステルイミド樹脂、エーテルイミド樹脂、シリコン樹脂、アクリル樹脂、ポリエステル樹脂、これらを変性した樹脂などを用いることも可能である。ポリイミド以外の樹脂を使用する場合には、上記ポリイミド微小粒子表面に相溶性を付与する処理を施すか、あるいは、上記ポリイミド微小粒子との親和性を向上するように樹脂組成に変成を施すことが望ましい。上記列挙した樹脂のうち、イミド結合を有する樹脂、例えばポリイミド、アミドイミド、エステルイミド、エーテルイミド等では、イミド結合による強固な骨格のおかげで熱機械的特性、例えば高温での強度などに優れ、その結果として、配線のためのめっき給電膜形成方法の撰択肢が広がる。例えば、スパッタなどの高温処理を伴うめっき給電膜形成方法を選択できる。シリコン樹脂やアクリル樹脂、ポリエステル樹脂、アミドイミド、エステルイミド、エーテルイミドなどイミド結合以外の結合で縮合した部分がある樹脂の場合、熱機械特性は若干劣るものの加工性や樹脂価格などの点で有利な場合がある。例えば、ポリエステルイミド樹脂では、一般にポリイミドよりも硬化温度が低いため扱いやすい。本実施例では、これらの樹脂の中から素子特性、価格、熱機械特性などを総合的に勘案してこれらの樹脂を適宜使い分ける。

【0036】ペースト状のポリイミド中にポリイミド微小粒子を分散させることで材料の粘弾特性を調整することが可能となるため、印刷性に優れたペーストを使用することが出来る。微小粒子の配合を調整することで、ペーストのチクソトロピー特性を制御することが可能となるため、粘度の調整と組み合わせることで、印刷特性を改善することが出来る。また、応力緩和層5の傾斜角度を調節することもできる。本願実施例で好適なペーストのチクソトロピー特性は、回転粘度計を用いて測定した回転数1rpmでの粘度と回転数10rpmでの粘度の比から求めた、いわゆるチクソトロピーインデックスが2.0から3.0の範囲にあることが望ましい。なお、チクソトロピーインデックスに温度依存性が現れるペーストの場合、チクソトロピーインデックスが2.0から3.0の範囲になるような温度領域で印刷すると高成績が得られる。

(7)

11

【0037】印刷したペースト状のポリイミドを加熱硬化した後は、ウェーハ9上に図9に示したような断面形状を有する応力緩和層5が形成される。このように印刷により応力緩和層5を形成すると、応力緩和層5のエッジ部より200乃至1000マイクロメートルのところにふくらみ部分が存在する場合があるが、このふくらみ部分の位置および存在の有無については、ペースト状のポリイミドの組成を調整したり、印刷に関わる各種条件を変更することで、ある程度制御可能となる。なお、この場合の印刷に関わる各種条件としては、メタルマスク厚さ、スキージ速度、スキージ材質、スキージ角度、スキージ圧（印圧）、版離れ速度、印刷時のウェーハの温度、印刷環境の湿度等々があげられる。上記ふくらみ部分の高さや形状の制御は上記印刷条件によって達成できるが、その他の制御方法として、保護層8の構造調整による方法もある。例えば、図36に示したように保護膜8の有機層の形成領域をパッド7の近傍のみに限定すれば、有機層上部に相当する部分の応力緩和層を盛り上げさせることは容易である。

【0038】また、図1に示すように応力緩和層5にふくらみ部分を積極的に形成した場合は、配線4のたわみ部分を形成することができ、これにより熱膨張などによる応力を吸収しやすい構造となり、断線をより防止することができる。具体的には、応力緩和層5の平均厚さに対して、最大で約25マイクロメートル、望ましくは7乃至12マイクロメートル程度の高さを持つふくらみ部分が形成されることが好ましい。この程度の頂点であれば、マスク印刷により十分形成可能である。例えばこのふくらみ部を半径が10マイクロメートルの半円筒形状と仮定すると、ふくらみ部の半弧の長さは $(2 \times 3.14 \times 10 \text{ マイクロメートル}) / 2 = 31.4 \text{ マイクロメートル}$ となり、配線の冗長長さはふくらみ部1個について $31.4 - 10 = 21.4 \text{ マイクロメートル}$ 、応力緩和層の両側に1つずつ形成した場合には42.8マイクロメートルとなる。このように、配線4に冗長部を設けることができるため、配線構造およびはんだ接合部に作用する熱応力が緩和され、従って、信頼性の高い配線構造を提供できる。なお、このふくらみ部の所要厚さは、応力緩和層5の膜厚および弾性率、半導体素子13のサイズ、半導体素子の消費電力、半導体素子を搭載する回路基板14の物性値などを勘案した実験およびシミュレーションから求める。例えば、本実施例では半導体素子13の対角長さをLミリメートルとし、半導体素子13とそれを搭載する回路基板14の線膨張係数の差が $15 \text{ ppm}/^{\circ}\text{C}$ 、半導体素子13の基板搭載プロセス～動作中のON/OFFによって生じる最大温度範囲が摂氏200度とすると、基板実装品が実使用環境での使用で配線部が受ける最大熱変形量は、 $15 (\text{ppm}/^{\circ}\text{C}) \times L / 2 (\text{mm}) \times 200 (^{\circ}\text{C}) = 0.0015 \times L \text{ ミリメートル}$ となる。従って、上記ふくらみ部に要求される冗長長さは

12

$0.002 \times L \text{ ミリメートル}$ 程度あれば充分であると考えた。この計算からふくらみ部を半円筒形状で近似して、本実施例では、そのふくらみ部分の高さは応力緩和層5の平均厚さに対して $L / 2000 \sim L / 500 \text{ ミリメートル}$ 程度の範囲に収まるようにした。

【0039】必要となる応力緩和層5の膜厚が1回の印刷および加熱硬化で形成されないときには、印刷及び材料の硬化を複数回繰り返すことで所定の膜厚を得ることができる。例えば、固形分濃度30乃至40%のペーストを用いて厚さ65マイクロメートルのメタルマスクを使用した場合、2回の印刷で硬化後の膜厚として約50マイクロメートルを得ることが出来る。また特に、回路基板14に半導体装置13を接続した際に歪みが集中しやすい箇所に配置されているパンプ1については、該当する個所の応力緩和層5のみに限定して厚さを厚膜化することで歪みの集中を緩和することも出来る。このためには、例えばペースト状ポリイミドを半導体が形成されたウェーハ9上に対して、1回目の印刷にて使用したものとは異なるメタルマスクを使い複数回の印刷をすれば良い。また、第2の方法として、保護層8の構造を調整することによって応力緩和層の厚みを部分的に変更することもできる。例えば、図37に示すように、ひずみが集中し易いパンプXの直下の領域は無機膜からなる保護層のみを使用し、その他の領域では無機膜の上に有機膜を形成した複合層を保護膜とする。このような保護膜の上に応力緩和層を形成すると、有機膜の保護膜のあるところとないところの応力緩和層の部分Aで緩やかな傾斜部が形成される。いま、応力緩和層の膜厚が50マイクロメートルでその弾性率が 1 GPa 、有機膜の膜厚が10マイクロメートルでその弾性率が 3 GPa であるとすると、有機保護膜と応力緩和層からなる部分の平均弾性率 $(\text{GPa}/\text{マイクロメートル})$ は $(3 \times 10 + 1 \times 50) / 60 \approx 1.3$ となり、一方、部分Aにおける傾斜部の平均弾性率は1である。したがって、このような構造にすることにより、応力緩和層の熱応力は周辺部から有機保護膜が形成された部分に分散することになり、本来熱応力が集中する周辺部にあるパンプの破損を防止することができる。なお、必ずしも応力緩和層中に微粒子を有する必要はなく、微粒子をペースト中に分散させない場合でも印刷に必要な最低限の粘弾性特性が確保されればよい。ただし、微小粒子をペースト中に分散させない場合は、印刷に関わる各種条件のマージンが極端に狭くなる可能性がある。

【0040】引き続き第四工程を説明する。本実施例では再配線用配線4を電気銅めっきと電気ニッケルの2層とした。なお、再配線用配線4の一端をパンプパッド3と兼用してもよい。ここでは、銅、ニッケルとも電気めっきを用いて導体を形成する方法を示したが、無電解めっきを用いることも可能である。

【0041】まず、電気めっきを実施するための給電膜

(8)

13

16を半導体ウェーハ全面に形成する。ここでは、蒸着や、無電解銅めっき、CVDなども用いることが可能であるが、保護層8および応力緩和層5との接着強度が強いスパッタを用いることとした。スパッタの前処理として、ボンディングパッド7と再配線用配線4導体との間の導通を確保するためにスパッタエッチングを行った。本実施例におけるスパッタ膜としては、クロム(75ナノメートル)/銅(0.5マイクロメートル)の多層膜を形成した。ここでのクロムの機能は、その上下に位置する銅と応力緩和層等との接着を確保することにより、その膜厚はそれらの接着を維持する最低限が望ましい。クロム膜厚が厚くなると成膜時間が増大して生産効率が低下するという問題に加えて、保護層8や応力緩和層5を長時間にわたってスパッタチャンバー内に発生している高エネルギー状態のプラズマに曝すことになり、これらの層を形成している材料が変質するという危険性がある。なお、所要膜厚は、スパッタエッチングおよびスパッタの条件、クロムの膜質などによっても変動するが、おおむね最大で0.5マイクロメートルである。なお、本実施例で使用したクロム膜に代えてチタン膜やチタン/白金膜、タングステンなどでも代替できる。一方、スパッタ銅の膜厚は、後の工程で行う電気銅めっき及び電気ニッケルめっきを行ったときに、めっき膜の膜厚分布が生じない最小限度の膜厚が好ましく、めっき前処理として行なう酸洗などでの膜減り量も考慮に入れたうえで膜厚分布を誘発しない膜厚を決定する。スパッタ銅の膜厚を必要以上に厚くした場合、例えば1マイクロメートルを越える銅厚の場合には、スパッタ時間が長くなって生産効率が低下するという問題に加えて、後の工程で実施する給電膜16のエッチング除去の際に長時間エッチングが避けられず、その結果として再配線用配線4のサイドエッチングが大きくなる。単純な計算では、1マイクロメートルの給電膜をエッチングする場合には配線も片側1マイクロメートル、両側で2マイクロメートルのエッチングが起こる。実際の生産では、給電膜のエッチング残りが発生しないようにオーバーエッチングすることが一般的に行われているため、1マイクロメートルの給電膜をエッチングする場合には配線が5マイクロメートル程度サイドエッチングされることになる。サイドエッ

14

チングがこのように大きくなると、配線抵抗が大きくなったり、断線を誘発しやすくなったりして、配線性能の観点で問題を発生しやすい。従って、スパッタ銅の膜厚はおおむね最大で1マイクロメートルとなる。

【0042】次に、ホトリソグラフィ技術を用いて、再配線用配線4の逆パターン形状17をレジストを用いて形成する。図4中のBで示した応力緩和層5のエッジ部におけるレジストの膜厚は、斜面部から流れ出たレジストにより、他の場所と比べ厚くなる。このため、解像度を確保するためには、ネガ型の方が好ましい。レジストとして、液状レジストを用いた場合、図4中のBで示した応力緩和層5のエッジ部の斜面上部ではレジスト膜厚が薄くなりやすく、斜面下部では逆にレジスト膜厚が厚くなり易い傾向がある。斜面上部と斜面下部とで膜厚の異なるレジストを同一露光量、同一現像条件でパターンニングするには広い現像裕度が必要となる。一般に、膜厚に対する現像裕度はポジ型感光特性レジストよりもネガ型感光特性レジストが広いので、本実施例ではネガ型の液状レジストを用いた。なお、フィルムレジストを使用する場合には、斜面上下での膜厚差は発生しないためネガ型でもポジ型でも使用可能となるが、斜面部はななめから露光することになって実質光路長が長くなるため、この場合にもネガ型を用いると好成績が得られることが多い。応力緩和層5のエッジ部の傾斜が大きい場合やブリーチング特性の弱いフィルムレジストを用いる場合には、ネガ型が特に好ましい。本実施例では、図10に示すように、露光マスク21とレジスト22が密着し、一部に隙間20を有するタイプの露光機を用いた。該露光機での解像限界は、露光用マスク21とレジスト22とが密着した場合で約10マイクロメートルであった。我々の実験結果によると、露光マスク21下部の隙間20と解像する配線幅の関係は、表1に示すようになった。なお、表1中の値は露光機の光学系や現像条件、レジストの感度、レジスト硬化条件、配線幅/配線間隔の比などにより変化する。表1に示している実験結果は、配線幅/配線間隔の比が1.0の場合の値である。

【0043】

【表1】

(9)

15
表 1

16

		露光マスク下部の隙間 [μm]			
		40	60	80	100
配線幅 [μm]	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○：解像可
×：解像不可

【0044】図11にアルミパッドとの接続部23とバンプパッド3が再配線用配線4で接続されている様子を示す。本実施例で使用した露光装置の場合には、表1の横軸である露光マスクの下部の隙間は応力緩和層の厚さにほぼ対応しているので、例えば応力緩和層の厚さが60マイクロメートルであれば配線の幅は25マイクロメートルまで解像可能である。したがって、信号線の配線幅を25マイクロメートルとし、電源またはグランド線の配線幅を40マイクロメートルとして配線することもできる。また、信号線の配線を25マイクロメートルとして、その信号線の一部を太くすることも可能である。

【0045】図12に応力緩和層5の傾斜部付近における再配線用配線4を拡大して示す。上述のように、応力緩和層5のエッジ部近傍でレジスト膜厚が不均一となっているため、その領域で現像不足が発生しやすい傾向があった。図13に実際に応力緩和層5のエッジ部分で現像不足が起こっている様子を示す。本実施例では、この対策のために現像液の回り込みを改善することによって解決した。より具体的に例示すると、配線パターン形状を図14や図15に示したように変更することなどの方策である。

【0046】図14はアルミパッドとの接続部23から応力緩和層5の頂上付近まで配線幅を太くした場合を、図15は解像性が悪い応力緩和層5のエッジ部分のみの配線幅を太くした場合を示している。なお、これら図14および図15における配線幅は、応力緩和層5の厚さと表1に示した解像特性とを考慮して決定する。他の解決策として現像時間を延長することで現像残りを解消する方法も考えられる。また、マスク面で光が回折するため、露光マスク21の下に隙間20が存在することに起因して解像性低下やパターン精度低下が起こる場合がある。

【0047】この現象の解決策として、(1) 露光機の光学系変更、(2) レジストのブリーチング性改良、

(3) レジストのプリベーク条件適正化、(4) 多段露光などがあげられる。露光機の光学系の変更について具

体例を1つ挙げると、NA値が0.0001以上0.2以下の露光機を使用するという方策があげられる。ここで挙げた例に限らず、公知慣用のプロセス上の工夫を適宜組み合わせることで、パターンの解像性、精度を向上することができる。

【0048】応力緩和層5のエッジ部はウェーハと応力緩和層5の物性値の違いにより生じる応力が集中しやすい構造上の特徴があるので、応力緩和層5の傾斜部で配線を太くすることにより断線を効果的に防止することもできる。なお、必ずしもすべての配線を同じ太さにする必要はなく、例えば図16に示すように電源/グランド線と信号線で配線の幅を変えるようにしてもよい。この場合、電気的な特性を考慮すると一般には電源/グランド線を信号線よりも太くすることが望ましい。信号線を太くした場合、これにより配線の有する容量成分が増加し、高速動作時に影響を及ぼすからである。逆に電源/グランド線を太くすると電源電圧が安定するという効果が期待できるのでむしろ好ましい。したがって、図示するように信号用配線については、応力の集中する部分だけを最低限緩和できるようにエッジ周辺を太くしたパターンとし、電源用またはグランド用配線については傾斜部を一樣に太くすることが望ましい。一方、応力緩和層が形成されていない平坦部については、配線の容量成分の影響を考慮し、信号配線を細くしている。ただし、これは半導体素子の種類やその配線パターンによりその都度考慮する必要がある。例えば、半導体素子やその配線パターンにも依存するが、保護膜8の厚みを増大すると配線の容量低減に大きな効果があるので、応力緩和層が形成されていない平坦部で信号配線を太くせざるを得ない場合には、保護膜8を厚く形成することが望ましい。具体的には、配線幅を10%増大させる場合には、保護膜8の膜厚も約10%程度増大させることが望ましい。一方、応力緩和層の上部平坦部での配線幅は、信号線容量よりもむしろ配線密度によって制限を受ける。すなわち、バンプパッドの間隔に通す配線本数、バンプパッドの径、配線形成工程における位置合せ精度、などから応力緩和層の上部平坦部での配線幅の上限値が求められ

(10)

17

る。具体的に一例を示すと、パンプパッド間隔が0.5ミリメートルで、パッド径300マイクロメータ、パッド間に3本配線をひく場合には、 $(500-300)/(3 \times 2 - 1) = 40$ という計算となる。この計算結果から、本実施例では平均配線幅/配線間隔=40マイクロメータとした。

【0049】第五工程について説明する。本実施例では、硫酸酸性銅めっき液を用い銅めっきを実施した。電気銅めっきは、界面活性剤による洗浄、水洗、希硫酸による洗浄、水洗を行った後、給電膜16を陰極に接続し、リンを含有する銅板を陽極に接続して実施した。

【0050】引き続き、電気ニッケルめっきを行う。なお、電気ニッケルめっき前に、界面活性剤による洗浄、水洗、希硫酸による洗浄、水洗を行うと良好な膜質の電気ニッケルめっき膜が得られ易い傾向がある。電気ニッケルめっきは、給電膜16を陰極に接続し、ニッケル板を陽極に接続して行った。本実施例で好適な電気ニッケルめっきは、公知慣用ないずれのニッケルめっき浴でも使用可能であり、ワット浴系でもスルファミン浴系でもよいが、本実施例ではワット浴系を用い、めっき膜内部応力が適正範囲になるように調整しためっき条件下で行なった。スルファミン浴はめっき液成分がワット浴と比べると高価であるうえ若干分解しやすい傾向があるという欠点はあるが皮膜応力が制御しやすい。一方、ワット浴は一般に皮膜応力が大きくなりやすいので、厚膜めっきした場合には自身の持つ皮膜応力(引っ張り応力)のために配線層にクラックが入る危険性が增大するという欠点がある。本実施例ではワット浴を用いたが、スルファミン浴を用いる場合でもワット浴を用いる場合でも、添加剤(皮膜応力抑制剤)の種類および濃度、めっき電流密度、めっき液温度の適正範囲を求めるためのモデル実験をあらかじめ実施してから行うと良い。本実施例ではこれらを適正に制御して膜厚10マイクロメータ以下では配線にクラックがはいらない条件をあらかじめ求めてから実施した。なお、めっき膜応力は、析出したニッケルの金属結晶配向性に関わる指標の1つであり、後述するはんだ拡散層の成長を抑制するために、適正に制御する必要がある。膜応力が適正に制御された条件下でめっきすると、めっき皮膜は特定量の微量成分を共析するようになる。例えば、硫黄0.001~0.05%を含有する膜の場合、特定の結晶配向面の含有率が高まる。より具体的に言えば、配向面111、220、200、311、の含有率合計が50%以上となる。電気ニッケルめっきの膜厚は、その後の工程で用いるはんだの種類やリフロー条件、及び半導体装置の製品特性(実装形態)により最適値を決定する。具体的には、はんだリフローや実装リペアの際に形成されるはんだとニッケルとの合金層の膜厚がニッケルめっき膜厚以上になるように決定すれば良い。上記合金層の膜厚は、はんだ中のスズの濃度が高いほど大きく、リフロー上限温度が高いほど大き

18

くなる。このように、再配線用配線として銅配線の上にニッケル層を形成すると、半導体装置と回路基板の間に働く熱応力により再配線用配線が変形を受け、その後その応力が解放されたときに、再配線用配線はニッケル層のばね性により変形前の形状に戻ることができる。例えば、半導体装置の動作により引き起こされる熱応力の作用により、応力緩和層及びその上に形成されている再配線用配線4がお互いに密着した形で変形する。このときの再配線用配線の変形には応力緩和層のふくらみ部分にある再配線用配線の冗長部分のたわみ部分が用いられる。その後、熱応力等から解放されて応力緩和層が元の形状に戻ったときに、再配線用配線が銅配線の場合には銅配線は銅配線自身のばね性では元の配線形状に戻りにくい。一方、銅配線の上にニッケル層を形成すると、そのニッケル層のばね性により再配線用配線(銅配線)は元の形状に容易に戻ることができる。なお、銅配線の上に形成されるのはニッケル層に限らず、銅配線の上でニッケル層と同程度のバネ性を持つものであってもよい。また、銅配線の代わりに伸縮性のある配線を形成する場合はニッケル層は必ずしも必要ない。

【0051】第六工程では、電気銅めっきおよび電気ニッケルめっきを行ったのちに配線の逆パターンであるレジスト17を除去し、エッチング処理をすることで予め成膜した給電膜16を除去する。銅のエッチングには、塩化鉄、アルカリ系エッチング液等の種類があるが、本実施例では硫酸/過酸化水素水を主成分とするエッチング液を用いた。10秒以上のエッチング時間がないと制御が困難となって実用的観点では不利であるが、あまりに長い時間エッチングを行なうと、例えば5分を越えてエッチングするような場合には、サイドエッチングが大きくなったりタクトが長くなるという問題も生じるため、エッチング液およびエッチング条件は、適宜実験により求めるのがよい。引き続いて実施する給電膜16のクロム部分のエッチングには、本実施例では過マンガン酸カリウムとメタケイ酸を主成分とするエッチング液を用いた。なお、上記電気ニッケルめっき膜は給電膜16のエッチングの際のエッチングレジストとしても機能している。従って、ニッケルと銅、ニッケルとクロムのエッチング選択比を勘案してエッチング液の組成成分、エッチング条件を決定するとよい。例えば、具体的に言えば、銅のエッチングの際に使用する硫酸過酸化水素エッチング剤では、硫酸の含有量は最大でも50%以下、望ましくは15%以下とする。これにより、ニッケルに対して10倍程度のエッチング選択比で銅をエッチングできる。

【0052】第七工程では、パンプパッド3および切断部24およびその周囲のみが開口した表面保護膜6を形成し、引き続き無電解金めっきを実施することでパンプパッド部3に金を成膜した。ここでは表面保護膜6としてソルダーレジストを使用し、これを半導体装置13の

(11)

19

全面に塗布した後に露光、現像することでパターンを形成する。なお、ソルダーレジストの他にも感光性ポリイミドや印刷用ポリイミドなどの材料を用いて表面保護膜6を形成することも可能である。以上のような工程を経ることで、表面保護膜6は、再配線用配線4、応力緩和層5、保護膜8などを完全に覆うこととなる。このため、表面保護膜6は、再配線用配線4、応力緩和層5、保護膜8が刺激性物質により変質、剥離、腐蝕することを抑止できる。

【0053】この第七工程までで、アルミパッド7からバンパッド3までの再配線用配線4およびバンパッド3が、半導体が形成されたウェーハ9上に図17および図2に示すごとく形成される。

【0054】第八工程では、はんだボール搭載装置とリフロー炉を使用しバンパを形成する。つまり、はんだボール搭載装置を利用することで、バンパッド3上に所定量のフラックスとはんだボールを搭載する。この際、はんだボールはフラックスの粘着力によりバンパッド上に仮固定される。はんだボールが搭載された半導体ウェーハをリフロー炉に投入することではんだボールは一旦溶融し、その後再び固体化することで、図1に示したバンパッド3に接続したバンパ1となる。このほかにも印刷機を用いてはんだペーストをバンパッド3上に印刷塗布し、これをリフローすることでバンパ1を形成する方法もある。何れの方法においてもはんだ材料は様々なものを選択することが可能となり、現時点において市場に供給されているはんだ材料の多くが使用できる。この他、はんだ材料は限定されるものの、めっき技術を用いることで、バンパ1を形成する方法もある。また、金や銅を核としたボールを使用したバンパや導電材料を配合した樹脂を使用して形成したバンパを使用しても良い。

【0055】第一工程から第九工程までの工程を経ることで、図1に示した応力緩和層5を有し、かつ少ない工程数で再配線用配線4が形成され、しかも再配線用配線4の途中には応力が集中する屈曲部が存在しない半導体装置13が実現できる。また、印刷技術を使用することで、露光や現像技術を用いることなく厚膜の絶縁層である応力緩和層5をパターン形成することができ、その応力緩和層5は再配線用配線4を形成するための斜面を有することができる。

【0056】本実施例によれば、アンダーフィルを実施せず半導体装置13をフリップチップ接続した場合でも半導体装置13の接続信頼性が大幅に向上する。このため本実施例によれば多くの電気製品においてアンダーフィルを使用しないフリップチップ接続が可能となり、各種電気製品の価格を低減することが可能となることがわかる。さらに、アンダーフィルを実施しないため、半導体装置13の取り外しが可能となる。つまり、回路基板に接続した半導体装置13が不良品であった場合、半導

20

体装置13を回路基板上から取り外し回路基板を再生することが可能となり、これによっても各種電気製品の価格を低減することが可能となる。

【0057】次に、本実施例に係る応力緩和層5の材料について説明する。本実施例で最も好適に使用される応力緩和層5形成用の材料は、ペースト状のポリイミドであるがこれに限らず変成アミドイミド樹脂、エステルイミド樹脂、エーテルイミド樹脂、ポリエステル樹脂、変成シリコーン樹脂、変成アクリル樹脂などでもかまわない。上記列挙した樹脂のうち、イミド結合を有する樹脂、例えばポリイミド、アミドイミド、エステルイミド、エーテルイミド等では、イミド結合による強固な骨格のおかげで熱機械的特性、例えば高温での強度などに優れ、その結果として、配線のためのめっき給電膜形成方法の撰択肢が広がる。例えば、スパッタなどの高温処理を伴うめっき給電膜形成方法を選択できる。シリコーン樹脂やアクリル樹脂、ポリエステル樹脂、アミドイミド、エステルイミド、エーテルイミドなどイミド結合以外の結合で縮合した部分がある樹脂の場合、熱機械特性は若干劣るものの加工性や樹脂価格などの点で有利な場合がある。例えば、ポリエステルイミド樹脂では、一般にポリイミドよりも硬化温度が低いいため、扱いやすい。本実施例では、これらの樹脂の中から素子特性、価格、熱機械特性などを総合的に勘案してこれらの樹脂を適宜使い分ける。応力緩和層5形成用の材料は、例えばエポキシ、フェノール、ポリイミド、シリコーン等の樹脂を単独あるいは2種類以上配合し、これに各種界面との接着性を改善するためのカップリング剤や着色剤等を配合して用いることが可能である。

【0058】応力緩和層5の弾性率は、室温において0.1から10.0GPa程度のものが適用可能であるが、一般のポリイミドよりは弾性率が低いものが望ましい。弾性率が0.1GPaを下回って小さすぎる場合には、後述する突起電極の形成や該半導体装置の機能試験を行う際に配線部分に変形し易くなり断線等の問題が懸念される。また、応力緩和層5の弾性率が10.0Gを越えて大きくなると十分な応力の低減効果が得られず、該半導体装置を基板に搭載した場合の接続信頼性が低下することが懸念される。

【0059】さらに、応力緩和層5用材料の硬化温度は100℃から250℃までのものを用いる事が望ましい。硬化温度がこれより低い場合、半導体製造時の工程内での管理が難しく、硬化温度がこれより高くなると硬化冷却時の熱収縮でウェーハ応力が増大したり、半導体素子の特性が変化する懸念があるからである。硬化後の応力緩和層はスパッタ、めっき、エッチングなどのさまざまな工程にさらされることから、耐熱性、耐薬品性、耐溶剤性などの特性も要求される。具体的には、耐熱性としてそのガラス転位温度(Tg)が150℃超400℃以下であることが望ましく、より望ましくはTgが180℃

(12)

21

以上、最も好ましくは T_g が 200°C 以上である。図41はガラス転移温度(T_g)と線膨張係数の関係を示す実験結果である。これより、ガラス転移温度(T_g)が 200°C 以上であれば、クラックが発生していないことが分かる。なお、工程中での様々な温度処理における変形量を抑える観点から、 T_g 以下の領域での線膨張係数(α_1)は小さいほど好ましい。具体的には 3 ppm に近いほどよい。一般に低弾性材料は線膨張係数が大きい場合が多いが、本実施例で好適な応力緩和層5材料の線膨張係数の範囲は $3\text{ ppm}\sim 300\text{ ppm}$ の範囲であることが望ましい。より好ましくは $3\text{ ppm}\sim 200\text{ ppm}$ の範囲であり、最も望ましい線膨張係数は $3\text{ ppm}\sim 150\text{ ppm}$ の範囲である。一方、熱分解温度(T_d)は約 300°C 以上であることが望ましい。 T_g や T_d がこれらの値を下回っていると、プロセス中での熱工程、例えばスパッタやスパッタエッチ工程で樹脂の変形、変質や分解が起こる危険性がある。耐薬品性の観点から言うと、 30% 硫酸水溶液や 10% 水酸化ナトリウム水溶液への 24 時間以上の浸漬で変色、変形などの樹脂変質が起こらないことが望ましい。耐溶剤性としては、溶解度パラメーター(SP値)が $8\sim 20(\text{cal}/\text{cm}^3)^{1/2}$ となることが望ましい。応力緩和層5用がベースレジンに幾つかの成分を変成してなる材料である場合には、その組成の大部分が上記溶解度パラメータの範囲にはいっていることが望ましい。より具体的にいうと、溶解度パラメータ(SP値)が 8 未満あるいは 20 超である成分が 50 重量%を越えて含有されていないことが望ましい。これらの耐薬品性や耐溶剤性が不十分だと適用可能な製造プロセスが限定される場合があり、製造原価低減の観点から好ましくないこともある。現実的には、これらの特性を満足する材料コストとプロセス自由度とを総合的に勘案した上で、応力緩和層5用の材料を決定すると良い。

【0060】続いて、応力緩和層の膜厚とウェーハ応力および α 線の関係について説明する。図18は、応力緩和層の膜厚とウェーハ応力の関係を示したものである。図18に示したように、応力緩和層は直径 8 インチウェーハに塗布し硬化させた場合、 150 マイクロメートルよりも膜厚が厚くなるとウェーハ応力が大きくなり、ウェーハの反りが大きくなったり、ウェーハのクラック、絶縁膜のはがれ等が発生しやすくなる。

【0061】一方、図19には、応力緩和層の厚さと応力緩和層中を透過する α 線量との関係を示した。 α 線は、半導体装置に用いられるはんだ中に不純物として含まれるウランウムやトリウム等の崩壊によって発生し、トランジスタ部の誤動作を引き起こす。図19に示したように、応力緩和層の厚さが 35 マイクロメートルより厚くなると α 線はほとんど透過せず、 α 線による誤動作の問題は生じない。反対に 35 マイクロメートルより応力緩和層の厚さが薄くなると α 線が透過するため、 α 線による誤動作が起こりやすくなることが分かる。

22

【0062】これらの関係から、応力緩和層の厚さを 35 マイクロメートル以上 150 マイクロメートル以下にすることにより、半導体素子表面に形成した回路部分まで α 線が到達するのを防止し、かつ半導体装置とこれを搭載した基板との接続信頼性を確保することができる。なお、半導体装置の構成によっては、同一素子内に α 線の影響を受けやすい部分、例えばトランジスタの誤動作を受けやすいメモリセル 110 等と、 α 線の影響を受けにくい部分がある。そこで、 α 線に対して特に影響を受けやすい部分に対して、図20、21に示すように応力緩和層の厚さを 35 マイクロメートル以上 150 マイクロメートル以下にすることにより、半導体素子表面に形成した回路部分まで α 線が到達するのを防止することができる。なお、 α 線の影響を受けにくい領域に形成する応力緩和層の厚みは 35 マイクロメートルを下回るようにしても、 α 線遮蔽の観点では問題がない。従って、例えば、図21に示すように α 線遮蔽が必要な領域の応力緩和層を厚く形成し、その他の領域では応力緩和層を薄く形成し、応力緩和層全体の平均厚みを 35 マイクロメートル以上 150 マイクロメートル以下にすることもできる。このような工夫を施す場合には、各バンプにかかる熱応力ひずみの大きさを勘案した半導体装置の構成とすることが望ましい。一般に半導体装置13の外周へいくほど熱応力ひずみを受けやすく厚めの応力緩和層が必要となるから、 α 線に対して影響を受けやすいトランジスタ領域を半導体装置13の外周に配置し、 α 線に対して影響を受けにくい領域を半導体装置13の中央付近に配置するとよい。例えば、図38に示すように、応力緩和層5の厚みを半導体装置13の中央付近は薄く、外周部に行くほど次第に厚くすることも可能である。この場合、中央付近のバンプは他のバンプと比べて接続高さが大きくなるとともに接続角が小さくなるため、バンプそのものの応力緩和機能が増大して、薄くなった応力緩和層5の応力緩和機能を代替している。なお、 α 線の影響を全く受けない領域を有する半導体装置13の場合には、図39に示すように α 線の影響を受けにくい領域を半導体装置13の中央付近に配置すれば、半導体装置13の中央付近には応力緩和層5を形成しなくても構わない。次に他の実施例として、応力緩和層と組成が異なる微粒子を包含する応力緩和層の実施例について説明する。

【0063】上述した応力緩和層5に含まれる微粒子は、応力緩和層5と同一材料で、同じ物性を有している。応力緩和層中で微粒子が分散することで印刷に必要な粘弾性特性を有することができる。

【0064】しかし、この構造では、ウェーハと応力緩和層5との境界で物性値が急激に変化するため熱応力等がその境界部分に集中して配線が断線等する可能性がある。

【0065】そこで、本実施例では、ウェーハの回路形

(13)

23

成面上に形成された応力緩和層5の特性を厚み方向で異ならせ、ウェーハ表面側の応力緩和層の特性がウェーハの特性に近くなるようにした。

【0066】これにより、ウェーハ上面と応力緩和層下面の境界部における特性の差を少なくし、これらの上に設けた配線に不連続な力や、応力緩和層の膨張収縮による引張りや圧縮、曲げの応力が配線部に加わらないようにすることで、配線部の断線防止が可能となる。

【0067】さらに、ウェーハ側の応力緩和層5の特性はウェーハに近く、該半導体装置を搭載する基板側はその基板の特性に近くすることにより、応力緩和層5上の配線のみならず該半導体装置と前記基板の接続部の接続寿命向上にも有効である。

【0068】ここで、応力緩和層5の厚み方向で漸次変化する特性として、熱膨張係数あるいは弾性率等が考えられる。そして、応力緩和層の特性を変化させる具体的な手段として、図22に示すように、絶縁性の粒子であるシリカ粒子102を配合し、応力緩和層5の厚さ方向にシリカ粒子102の配合量の分布を持たせ熱膨張係数や弾性率を徐々に変化させる。シリカ粒子102が多く分布している部分では、応力緩和層5の熱膨張係数が小さく弾性率は高くなる。一方、シリカ粒子102の配合量が少なくなると熱膨張係数は大きくなり弾性率は低くなる。

【0069】本実施例における半導体装置の製造工程も、ウェーハ上の回路形成、応力緩和層形成、シリカ粒子の分布、応力緩和層上の配線形成等をウェーハ状態で行うことにより、全体工程の簡略化、製造時のバラツキ等が少なく配線部の寿命向上が可能である。

【0070】本実施例では、応力緩和層5に弾性率や熱膨張を調整するための絶縁粒子である、シリカ、アルミナ、窒化ホウ素等の無機材料からなる粒子を一種類あるいは二種類以上配合し、また必要に応じてポリイミドやシリコーン等の有機材料からなる粒子を適宜配合してもよい。

【0071】さらに、シリカ粒子や絶縁樹脂層を構成する各種界面との接着性向上のためアルコキシシランやチタネート等からなるカップリング剤、樹脂の破断伸びや破断強度を向上させる熱可塑性樹脂等の改質剤、ウェーハ上に形成された回路部の紫外線等による誤動作を防止するため絶縁樹脂層を着色するための染料や顔料、樹脂層の硬化反応を促進させるための硬化促進剤等を配合することも可能である。

【0072】厚さ方向で特性を変化させた応力緩和層5の形成方法としては、例えば前記記載の材料を配合してなる液状の応力緩和層5をウェーハの回路面上に塗布し、この応力緩和層5を加熱硬化する過程で、配合したシリカ等からなる絶縁粒子をウェーハ側に漸次沈降させる方法がある。シリカ粒子の粒子径に分布が有る場合、粒子径の大きい粒子ほど沈降が早く、粒子径の小さい粒

24

子ほど沈降し難く、ウェーハを下側にして応力緩和層の加熱硬化を行うと、応力緩和層の厚み方向で特性の分布が形成される。

【0073】応力緩和層5に配合されたシリカ粒子の膜厚方向での濃度分布を制御する方法としては、絶縁樹脂の硬化温度、硬化温度プロファイルを適宜調整したり、硬化の進行を早めるための硬化促進剤の配合量や種類、あるいは硬化を遅らせるための反応抑制剤等を適宜配合する方法やシリカ粒子等絶縁粒子の粒子径分布を変更する方法がある。

【0074】本実施例に適用可能なシリカ粒子は、溶融レインゴット化したシリカの塊を破碎したものや、シリカレインゴットを破碎後、再度シリカ粒子を加熱溶融して球形化したもの、さらに合成したシリカ粒子等が適用可能である。シリカ粒子の粒子径分布や配合量は、本実施例の構造を適用する半導体装置の大きさ、厚さ、集積度、応力緩和層5の厚さ、粒子の粒径や搭載する基板の種類によって種々変更可能である。

【0075】印刷法により応力緩和層5を形成する場合、印刷の方法によっては、適用するマスクの寸法によっても粒子径の分布を変更する必要がある場合もある。

【0076】なお、応力緩和層5は一回の印刷で形成される必要はなく、図23に示すように、少なくとも2回以上の印刷で形成してもよい。さらに、それぞれの層に含まれるシリカ粒子の配合量を異ならせて印刷してもよい。

【0077】本実施例では、ウェーハの回路部から応力緩和層上に設けた電極に至る段階で、配線が形成される部分の物性が急激に変化しないので、配線の一部に大きな力が集中することが無く、配線の断線防止が可能となる。

【0078】次に、半導体装置13の周辺寄りに存在するパンプ1直下の応力緩和層5の膜厚を他の箇所と比べ薄くした半導体装置13の実施例の一例を図24を用いて説明する。この実施例では、最外周のパンプ1aは、その一つ内側のパンプ1bとくらべ、 δ だけ高さが低くなっている。

【0079】半導体装置13の周辺部について応力緩和層5の膜厚を薄くする方法としては、ペースト状のポリイミド材料などの応力緩和層形成材料中に含まれる微小粒子の有無、粒子の形状や配合、印刷速度、版離れ速度、印刷回数等の印刷条件、ペースト中の溶媒の割合などを変更する方法がある。

【0080】一般に半導体装置13の周辺寄りに存在するパンプ1aには、回路基板14に半導体装置13を接続した後の各種負荷により、その他のパンプ1b等と比べ大きな歪みが生じている。例えば、半導体装置13と回路基板14との線膨張係数は異なるため、温度上昇時には半導体装置13の周辺寄りのパンプ1aになるほど

(14)

25

大きな歪みが発生する。この歪みが大きい場合や繰り返して作用する場合、半導体装置13の周辺よりのバンプ1aは破壊しやすい。

【0081】本実施例にあるように半導体装置13の周辺寄りについて応力緩和層5の膜厚を薄くすると、対応した箇所のバンプ1の形状を制御することが可能となり、回路基板14に接続した際にバンプ1は図25に示したような縦長バンプ1aとなる。このような縦長バンプ1aでは、体積自体はその他のバンプ1と同一であるため、バンプ1とバンプパッド3との接触角およびバンプ1と回路基板14上のパッドとの接触角が大きくなる。つまり、図25においては $\alpha_1 > \alpha_2$ 、 $\beta_1 > \beta_2$ となる。

【0082】接触角が大きくなることで、バンプとパッドとの接続部に対する応力集中は緩和されることとなる。このように応力緩和層5の膜厚を半導体装置13の周辺部のバンプパッド3形成箇所についてその他の部分より薄くし、バンプ1の形状を縦長とすることで、半導体装置13と回路基板14との接続信頼性を向上させることが出来る。なお、応力緩和層5の断面形状は、バンプ1の高さが半導体装置13の回路基板14に対する接続時に支障のない範囲内で設計することが可能であり、様々なものが考えられる。

【0083】 δ の大きさは、(1)最外周に位置する縦長バンプ1aに要求される応力緩和特性、(2)半導体装置13の機能検査時におけるバンプ高さバラツキ許容値、(3)半導体装置13の回路基板14に対する接続時のバンプ高さバラツキ許容値、などを考慮して決定する。より具体的に記述すると、上記応力緩和特性は応力緩和層5の弾性率と半導体装置13のサイズから求まる。一方、機能検査時や接続時のバラツキについては、はんだボールや応力緩和層5の変形も考慮したうえでそれらの許容値を求める。例えば、機能検査はバンプ上面から検査治具を押しつけて応力緩和層5を変形させれば、バンプ高さバラツキが実質的に存在しない状態で機能検査することが可能である。このような操作を行ったとしても、応力緩和層5ははんだバンプ材料と比べて相対的に弾性率が低いため、はんだバンプの変形よりも応力緩和層5の変形が優先して起こり、はんだバンプへ傷が付いたりすることも無い。それゆえ、応力緩和特性から要求される δ の値が、機能検査装置で要求されているバンプ高さバラツキよりも大きくなったとしても、応力緩和層5の変形によって対応できる範囲であれば差し支えない。また、応力緩和材料は弾性体であるため、検査終了後には形状が復旧するので基板への接続時にも特段の問題はない。このことを勘案すると、事実上、前記

(1)および(3)から δ が決定されることとなる。前述のように応力緩和特性は、応力緩和層5の膜厚が35乃至150マイクロメートルで良い結果が得られるため、応力緩和特性からは $\delta = 150 - 35 = 115$ マイ

26

クロメートルとなる。また、 $\delta = 115$ マイクロメートルという値は、回路基板14への接続の際に許容される上限値とほぼ等しい。よって δ の値は115マイクロメートルが多くの場合、上限値となる。

【0084】また、本実施例の構造は、半導体装置の微細化が進み、半導体装置の配線の関係上、応力緩和層の傾斜部にバンプを形成しなければならない場合にも適応できる。なお、上記図24では最外周バンプ1aとその1つ内側のバンプ1bとで高さに差を付けるために応力緩和層5の厚みを制御しているが、その他の制御方法として、保護層8の構造調整による方法もある。例えば、図40に示したように最外周バンプ1aの直下では保護膜8の有機層を形成しないか、あるいはごく薄く形成するととどめ、バンプ1bより内側では保護膜8の有機層を厚めに形成するなどの方法がある。必要に応じ、応力緩和層5の厚みと保護層8の有機層厚みとを適宜調整し制御することにより所望の高さ差 δ を達成することも何ら問題はない。

【0085】また、半導体装置の最外周に位置するバンプには外力が加わりやすく、はんだに亀裂等ができる場合があるので、最外周に位置するバンプのうちいくつかは緩衝部材として用いてもよい。この場合、緩衝部材として使用するバンプは、アルミパッド7と電気的に接続されない、半導体装置が電気的に動作する上で不要なものとすることが望ましい。これにより、半導体装置が電気的に動作する上で必要なその他のバンプで破断が発生するまでの期間を延長することが出来る。なお、緩衝部材とする幾つかのバンプについては、バンプ径を大きくすることで更にバンプ破断までの期間を延長することが出来る。なお、本実施例では好適なバンプ径を大きくするために公知慣用のいずれの方法を用いても良いが、特に好適な方法を1つ例示すると、はんだの体積自体はその他のバンプと同一にしたままバンプランド(パッド)を大きくすることである。パッドを大きくすることにより接続径は大きくなる一方、はんだの体積は他と同じであるためバンプ高さが低くなり、その結果として、回路基板14に接続した際にバンプとパッドとの接触角が大きくなってバンプとパッドの接触点への応力集中を回避できる。応力集中がなくなったことによってはんだ内でのクラック進展が遅くなるとともに、バンプ径が増大したことによって破断に至るまでのクラック長さの絶対値そのものも大きくなっているため、バンプは段までの期間延長に大きく貢献する。

【0086】また、半導体装置を接続する回路基板の配線引き出しの設計を容易にするという観点から考えると、半導体装置の中央付近に電源またはグランド線を配置することが望ましく、その結果として、図26(a)(b)に示すようにアルミパッド7とアルミパッドからの距離が近いバンプパッドを接続する再配線用配線4は信号線として、遠いバンプパッドを接続する最配線用配

(15)

27

線4は電源またはグラウンド線として用いることが望ましい。この場合、アルミパッドからの距離が近いバンプは応力緩和層5の傾斜部に位置する場合もある。また、電源またはグラウンド線は信号線よりも配線幅を広くするようにしてもよい。

【0087】半導体装置の他の実施例を図27に示す。本実施例では、応力緩和層5を半導体が形成されたウェーハ9上の隣の半導体装置13にまたがった状態で形成している。アルミパッド7、バンプパッド3、およびこれらを接続する再配線用配線4は、再配線用配線4が半導体装置13と隣の半導体装置13との境界を横断することがないように設計上の工夫がなされている。製造工程は、既に説明したものと基本的には同じであるが、第七工程以降に違いがある。

【0088】半導体ウェーハを切断する際には、応力緩和層5の切断も必要となるが、応力緩和層5は低弾性材料であるため、大部分がシリコンからなり強度が異なる半導体が形成されたウェーハ9と一括して切断することは難しい。このため、まず応力緩和層5に対する切断を行った後に、半導体が形成されたウェーハ9をダイシングする。以下、図28を用いて説明する。

【0089】まず、第七改良工程にて応力緩和層5のみを切断する。切断方法としては、低弾性樹脂材料の切断に向けた回転刃を使用するのが良い。このほかにも炭酸ガスレーザやサンドブラストなどを使用することができる。

【0090】第八改良工程においては、表面保護膜6としてソルダーレジストを全面に塗布する。塗布方法としては、スピンコート法のほかメッシュ状のマスクを用いた印刷やカーテンコーティングでも良い。ソルダーレジストを塗布するためにも第七改良工程における応力緩和層5の切断部の壁面は、垂直ではなく逆ハの字状となるようにすることが望ましい。このコーティングを第七改良工程における応力緩和層の切断後に行うことで、応力緩和層5が、半導体が形成されたウェーハ9の表面より剥離する要因となったり、半導体の性能劣化を引き起こすイオン等の異物の侵入を軽減でき、耐久性などを確保したデバイスを提供することができる。

【0091】第九改良工程においては、感光現像を行うことで表面保護膜6のパターンを形成する。これによりバンプパッド3および切断部24およびその周辺のみが表面保護膜6から露出する。また、表面保護膜6をマスクとして無電解金めっきを施すことでバンプパッド3上に金を成膜する。なお、実施例では金めっきのみとしたが、パラジウムや白金のめっきを金めっきの前に施してもかまわないし、金めっき終了後にスズめっきをおこなっても特段の問題は無い。

【0092】第十改良工程においては、ダイシングによって半導体が形成されたウェーハ9を半導体装置13に分割する。なお、一般的にダイシングは回転刃を用いて

28

行われる。

【0093】以上の工程により、応力緩和層5を切断する工程を含む半導体装置13の製造が可能となる。

【0094】本実施例によれば、半導体装置13の外形寸法が小さい場合でも問題なく応力緩和層5を形成することが可能となる。具体的には、隣り合う2つの半導体装置にまたがって応力緩和層5を形成する場合には、外形寸法がほぼ半分になっても応力緩和層5の成膜技術を変える必要がなく、半導体装置の形状、外形寸法および半導体装置13を互いに分離する際の切りしろとなる切断部24の幅、形状を調節することで半導体装置の大きさを変えても同一の印刷マスクを使用して製造することすら可能となる場合もある。また、再配線用配線4は第一の実施例と同様に応力緩和層5の傾斜部を経てアルミパッド7とバンプパッド3とを接続しているため、再配線用配線4に応力集中部も存在せず、アンダーフィルを必要としないフリップチップ接続が可能となる。

【0095】なお、本実施例にかかる構造は特に半導体装置のセンター部分にパッドがレイアウトされた半導体装置、たとえばDRAMなどに適応可能である。

【0096】また、本実施例中の図では、隣り合う2つの半導体装置13にまたがった応力緩和層5を切断したが、再配線用配線4がアルミパッド7からバンプパッド3に至るためのスロープ部が存在する限り、少なくとも2以上の半導体装置13、たとえば互いに隣り合う4つの半導体装置について連結した応力緩和層5を切断するような構造を採用することも可能である。当然のことながら、隣り合う2列について連結した応力緩和層5を形成して切断するようにしてもよい。この場合、列方向の位置ずれを許容できる製法となるので、より微細加工にも適用できる。

【0097】各実施例においては、例えば図2や図27に示すように応力緩和層5の角部には丸みをつけるとよい。丸みをつけない場合、ペースト状のポリイミド材料を用いて応力緩和層5を印刷する際に気泡を巻き込む不良が時々観察される。また、応力緩和層5が角部から剥離しやすくなる。応力緩和層5に気泡が残留すると、半導体装置13を加熱した際に気泡が破裂して再配線用配線4が断線するなどの不具合が生じる。このため、応力緩和層5の形成に使用する印刷用メタルマスクのパターン開口部18の隅部は丸めておくことが望ましい。

【0098】なお、各実施例における応力緩和層5は印刷用メタルマスクやディスペンサを用いて印刷塗布し形成することができる。

【0099】また、印刷方法のみならず、スタンピング、空気あるいは不活性のガスを用いた吹き付けやインクジェット法、未硬化あるいは半硬化状態の樹脂シートを貼り付ける等の方法により、またはこれらの方法を適宜組み合わせることにより形成可能である。応力緩和層を印刷方法で形成する場合、印刷部端部の傾きは絶縁材

(16)

29

料を印刷し印刷マスクを除去した際、あるいは加熱硬化過程において端部で絶縁層の流動が起こり端部の傾斜部が形成される。この方法ではウエハ単位で応力緩和層および特定傾きを有する端部を一括で作成することが可能である。一方、スタンピングで応力緩和層を形成する場合、スタンピング用の型に応力緩和用の絶縁材料を塗布しウエハ上に応力緩和層の形状を転写するため絶縁材料硬化時の端部の形状変化が生じない絶縁材料の選択が可能となる。この場合、印刷方式に比べ端部の形状が一定になり易いという特徴がある。さらに、絶縁材をガス等を用いて吹き付ける方式では、印刷マスクあるいはスタンピング金型を用いないため、応力緩和層形成時の形状に自由度あり、ノズル形状を適当に選択すれば、印刷マスクやスタンピング金型では形成し難い応力緩和層の形成が可能となる。また、印刷方式やスタンピング方式に比べ、吹き付け量の調整で応力緩和層の厚さを調整でき、厚さ調整の範囲も広くなる。半硬化あるいは未硬化の樹脂シートを貼り付ける方式では、厚膜の応力緩和層の形成が可能となり予めシート状の絶縁樹脂を用いるため、応力緩和層表面の平坦性に優れるという特徴がある。これらの方法を単一あるいは適宜組み合わせることにより所望の応力緩和層厚さ、端部傾きを得ることが可能となる。

【0100】次に、半導体装置の他の実施例を示す。図29は半導体装置の突起電極を変換するための基板に搭載した状態を示す断面概略図、図30はさらに半導体装置13とこれを搭載する基板の隙間を樹脂118で封止した状態を示す断面概略図である。

【0101】半導体装置13に形成した突起状電極1を基板上の対応する電極120上にはんだペーストあるいはフラックス等を介して搭載し、リフロー炉等により前記突起状電極を溶融させ基板115と半導体装置13の接続を行う。半導体装置を搭載する基板は、半導体素子搭載面の裏面に各種電子機器に用いられる基板に搭載するための電極120および必要に応じて突起状電極121を有する。

【0102】半導体装置13を各種電子機器に用いられる基板に搭載する際、基板115上に設けた突起状電極121を加熱溶融させる必要がある。これらの実装工程および各種試験における信頼性、特に落下衝撃試験に対する信頼性成績をさらに向上させるため、半導体装置13と基板115の間を樹脂118で補強したものである。

【0103】半導体装置13と基板115間を充填する樹脂118は、一般の半導体封止用に使用される液状のエポキシ樹脂、フェノール樹脂、ポリイミド樹脂、シリコン樹脂等が使用可能であり、封止樹脂の熱膨張係数や弾性率を調整するためシリカ、アルミナ、窒化ホウ素等の無機材料からなる粒子を一種類あるいは二種類以上配合し、また必要に応じてシリコンや熱可塑性樹脂等

30

樹脂、アルコキシシランやチタネート等からなるカップリング剤、着色剤、難燃性を付与させるための難燃剤や難燃助剤樹脂層の硬化反応を促進させるための硬化促進剤等を配合することが可能である。

【0104】本実施例では、半導体装置上の突起状電極のピッチと各種電子機器に用いられている基板の電極のピッチが異なる場合であっても、所定の基板を介することにより各種電子機器に接続する事が可能となる。

【0105】なお、半導体装置となる基板への実装と同様に、一般電子機器に用いられる回路基板に実装する場合も同様とする。

【0106】なお、これまで説明した実施例においては、必要に応じて例えば半導体装置の絶縁層に低弾性の材料を使用し、かつ厚さ35ミクロン以上の絶縁層を形成することで、接続部の破壊を防止することができる。また、低弾性の絶縁層が存在することで、接続部に生じる応力を大幅に低減することが可能となる。このため、半導体装置の接続寿命は大幅に向上する。

【0107】また、約35マイクロメートル以上といった厚膜の絶縁層を採用する場合、従来の配線形成方法が適用できない。絶縁層を厚膜形成する場合、絶縁層形成用の材料は高粘度であるため、スピンコート法では気泡を含んだ絶縁層となってしまう、絶縁層としての機能を果たさなくなってしまう。これとは別に新規の厚膜形成方法を開発したとしても、35ミクロンの膜厚では光の透過性が低下するため、露光現象では絶縁層の開口部等を高精度にパターン形成することができない。この問題が解決できたとしても絶縁層の開口部の側壁は80程度度かそれ以上の概垂直であり、かつその高さが配線厚さより大幅に大きい値となるため、金属配線が側壁に形成され難くなる。またたとえ形成できた場合でも、側壁と上層との境界部において金属配線の屈曲部が形成されるため、この場所に応力が集中しやすく、このため亀裂が進展しやすい。このため、回路基板接続時の接続寿命が短くなってしまう。

【0108】そこで前述のように微小粒子を含有した絶縁材料をマスク印刷することで、厚膜絶縁層の形成を行い、絶縁層開口部の形状をなだらかな斜面とすることが好ましい。これにより、絶縁層上の配線は従来工法により形成可能となり、かつ応力が集中する様な金属配線の屈曲部も存在しないため、配線の断線も生じにくくなる。

【0109】

【発明の効果】本発明によれば、アンダーフィルの不要なフリップチップ接続を可能とする半導体装置を実現でき、かつ半導体装置の縦横寸法が小さい場合であっても半導体装置毎に絶縁層を形成することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例の構造を示す部

(17)

31

分断面図

【図2】本実施例の半導体装置が連続的に形成されている状態を示す平面図

【図3】本発明の半導体装置の製造工程の一例を示した図(1)

【図4】本発明の半導体装置の製造工程の一例を示した図(2)

【図5】本発明の半導体装置の製造工程の一例を示した図(3)

【図6】本発明の応力緩和層の形成に使用する印刷用マスクを示した図

【図7】応力緩和層を印刷している工程を示す図

【図8】印刷マスクがウェーハより上昇する版離れ工程を示す図

【図9】応力緩和層が形成された半導体装置を示した図

【図10】露光用マスクをレジストに密着させた状態を示した図

【図11】再配線用配線の一例を示した図

【図12】再配線用配線の別の一例を示した図

【図13】実際の再配線用配線パターンに現像不足を示す図

【図14】再配線用配線の別の一例を示した図

【図15】再配線用配線の別の一例を示した図

【図16】再配線用配線の別の一例を示した図

【図17】本発明における第七工程までを経た半導体装置を示した図

【図18】応力緩和層の膜厚と応力の関係を示した図

【図19】応力緩和層の膜厚と α 線の関係を示した図

【図20】本発明の半導体装置の構造の一実施例を示す図

【図21】本発明の半導体装置の構造の一実施例を示す図

【図22】本発明の半導体装置の構造の一実施例を示す図

【図23】本発明の半導体装置の構造の一実施例を示す図

【図24】応力緩和層の膜厚を部分的に薄くした半導体装置を示した図

【図25】応力緩和層の膜厚を部分的に薄くした半導体装置を回路基板に接続した状態を示した図

【図26】本発明の半導体装置の構造の一実施例を示す図

32

【図27】応力緩和層を半導体装置と隣の半導体装置との境界をまたいで形成した状態を示した図

【図28】応力緩和層を切断する方法を示した図

【図29】半導体装置を基板に搭載した一実施例の図

【図30】半導体装置を基板に搭載した別の一実施例の図

【図31】従来の半導体装置を示した図

【図32】従来の半導体装置を回路基板に接続した状態を示した図

【図33】本発明の半導体装置の構造の一実施例を示す図

【図34】本発明の半導体装置の構造の別の一実施例を示す図

【図35】本発明の半導体装置の構造の別の一実施例を示す図

【図36】本発明の半導体装置の構造の別の一実施例を示す図

【図37】本発明の半導体装置の構造の一実施例を示す図

【図38】本発明の半導体装置の構造の別の一実施例を示す図

【図39】本発明の半導体装置の構造の別の一実施例を示す図

【図40】本発明の半導体装置の構造の別の一実施例を示す図

【図41】ガラス転移温度と線膨張係数の関係を示す図

【符号の説明】

1…バンプ、1a a…縦長バンプ、2…Auめっき、3…バンプパッド、4…再配線用配線、5…応力緩和層、6…表面保護膜、7…アルミパッド、8…保護膜、9…半導体が形成されたウェーハ、10…バンプ、11…金属配線、12…絶縁層、13…半導体装置、14…回路基板、15…アンダーフィル、16…給電膜、17…配線の逆パターン、18…アルミパッドと配線の接続部分、19…下層部分との境界、20…隙間、21…露光マスク、22…レジスト、23…アルミパッドとの接続部、24…切断部、25…ニッケル合金製ステンシル、26…樹脂シート、27…枠、28…印刷マスクのパターン開口部、102…シリカ粒子、110…メモリセル、115…基板、116…電極、118…樹脂、120…電極、121…電極

【図8】

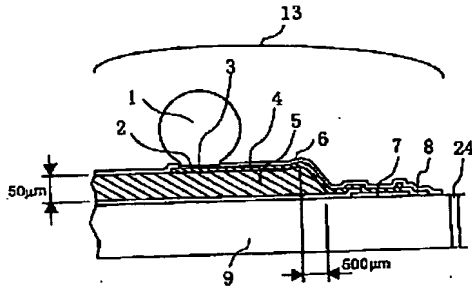
図8



(18)

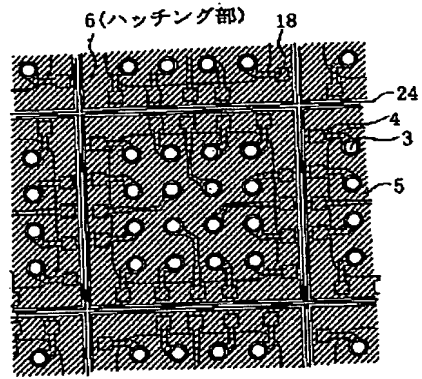
【図1】

図1



【図2】

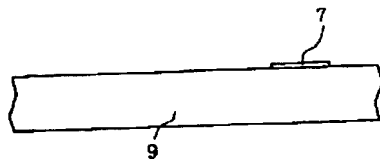
図2



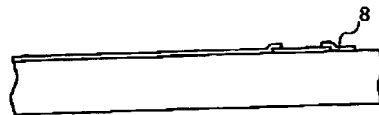
【図3】

図3

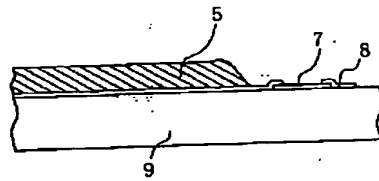
第一工程



第二工程



第三工程

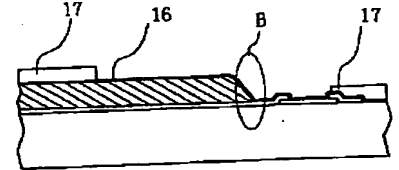


第四工程へ

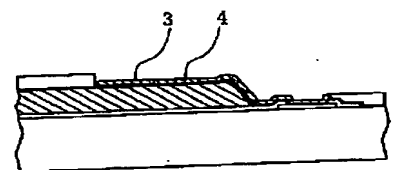
【図4】

図4

第四工程



第五工程



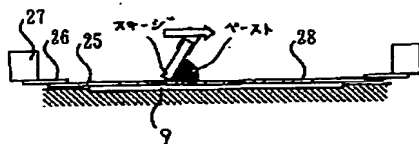
第六工程



第七工程へ

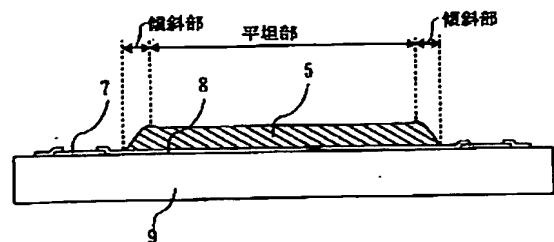
【図7】

図7



【図9】

図9



(19)

【図5】

図5

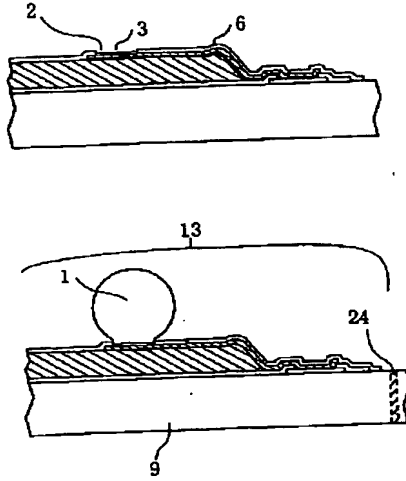
第七工程



第八工程
および
第九工程

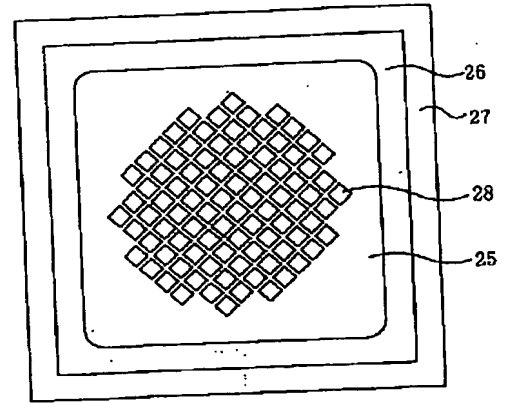


完 成



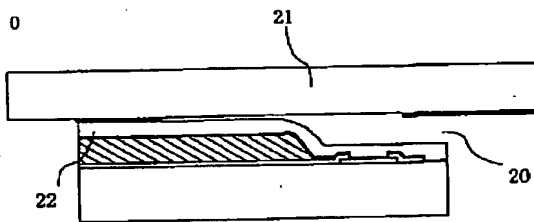
【図6】

図6



【図10】

図10



【図11】

チップ拡大図

チップ全体図

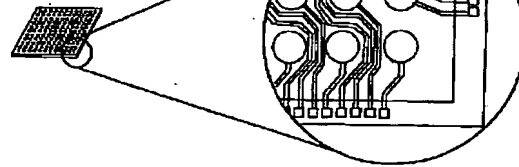
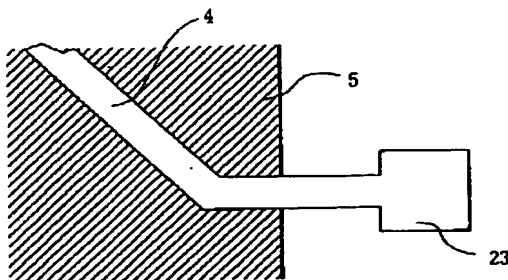


図 11

【図12】

図12



【図13】

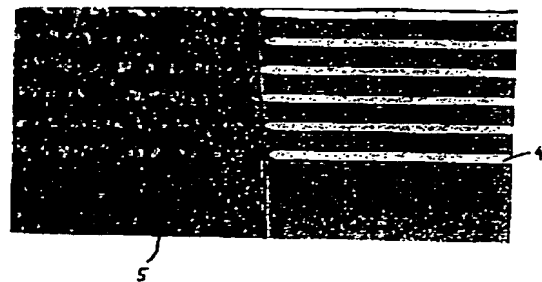
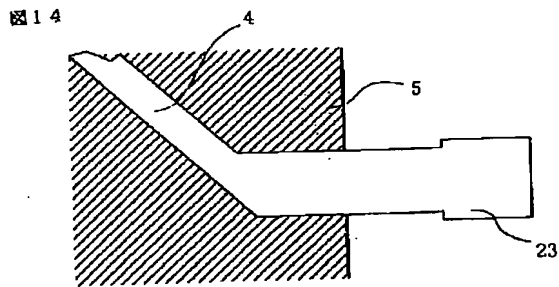


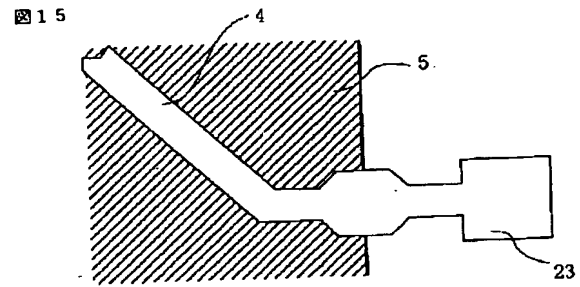
図13

(20)

【図14】



【図15】



【図16】

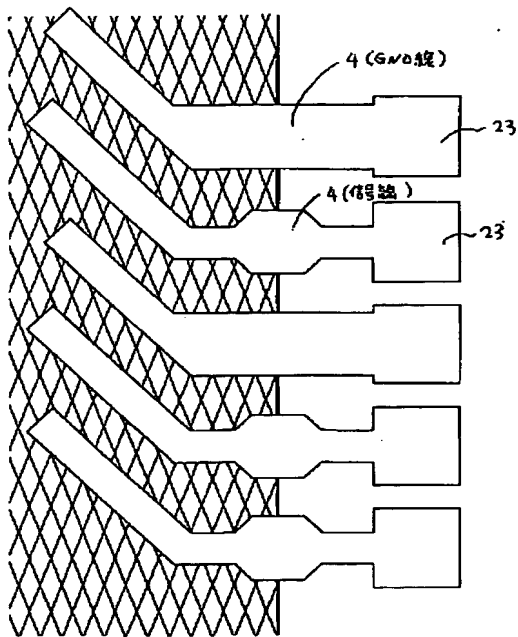
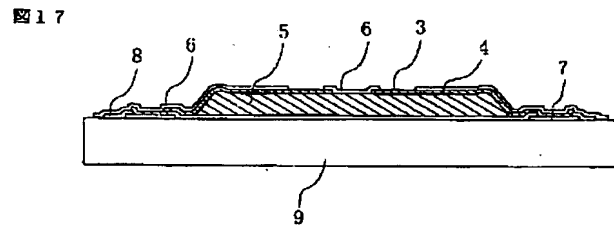
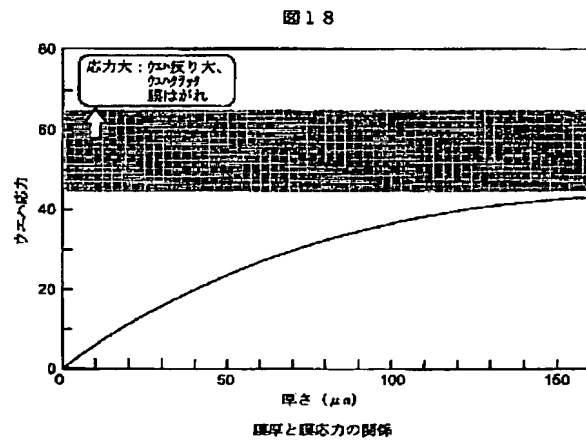


図16

【図17】

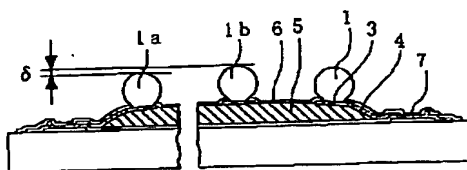


【図18】



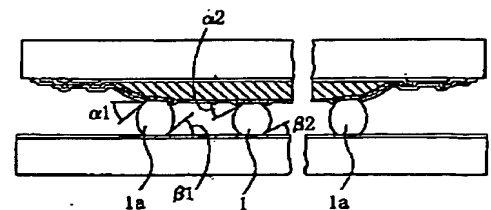
【図24】

図24



【図25】

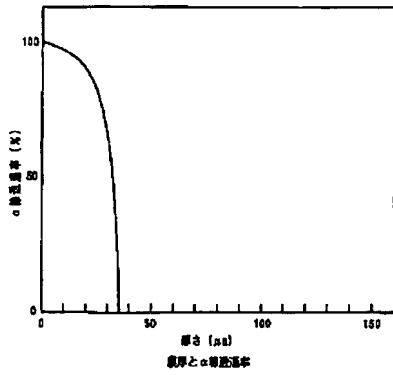
図25



(21)

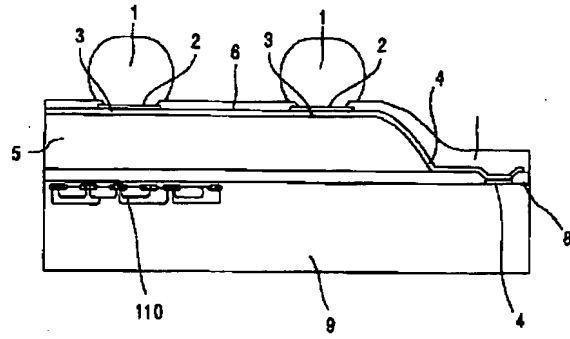
【図19】

図19



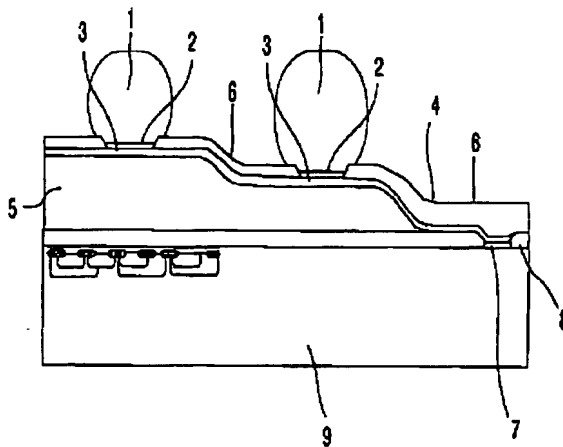
【図20】

図20



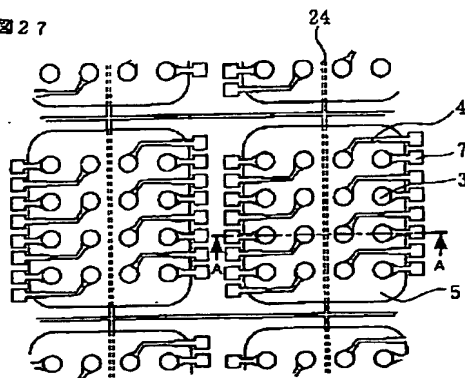
【図21】

図21



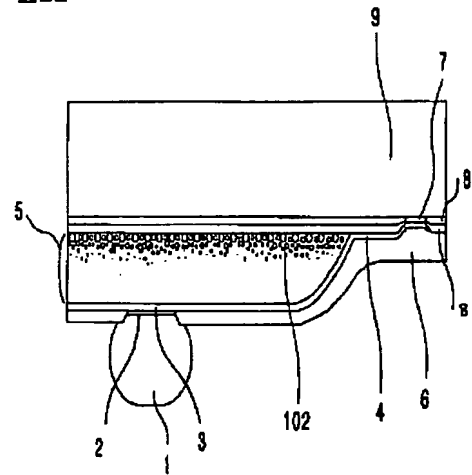
【図27】

図27



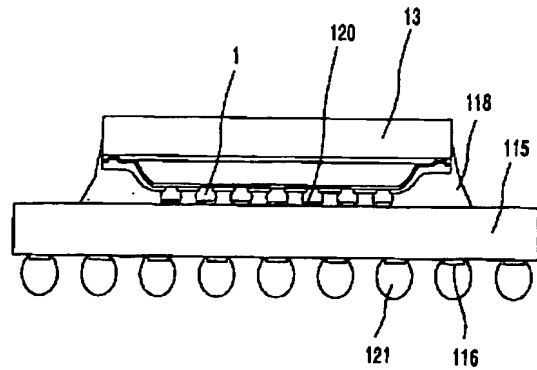
【図22】

図22



【図30】

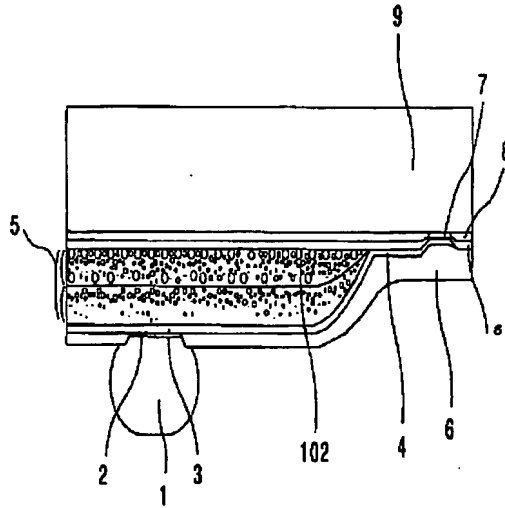
図30



(22)

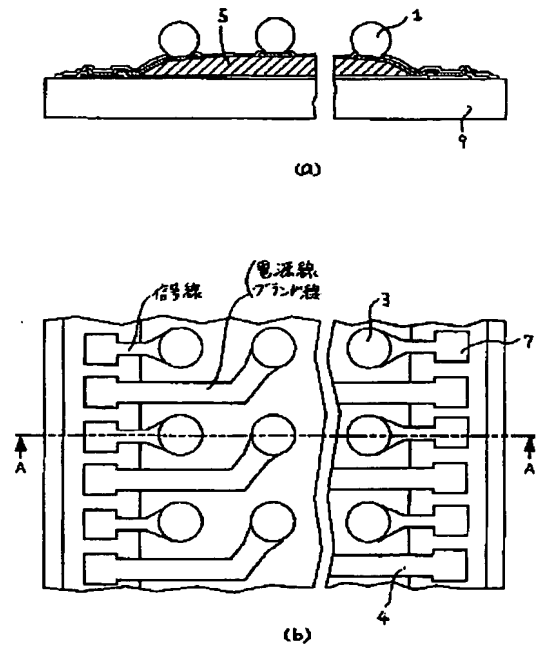
【図23】

図23



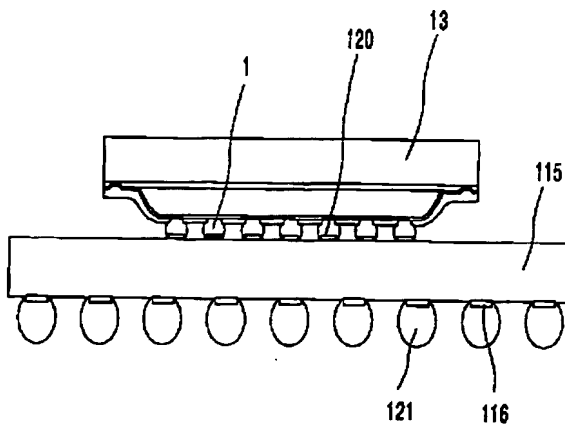
【図26】

図26



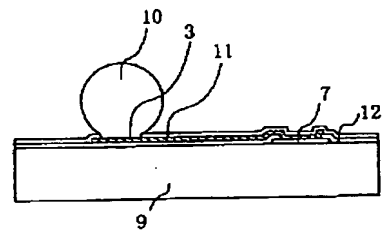
【図29】

図29



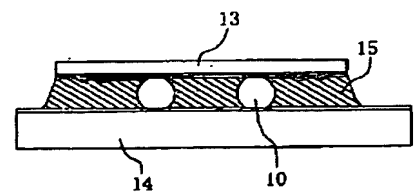
【図31】

図31



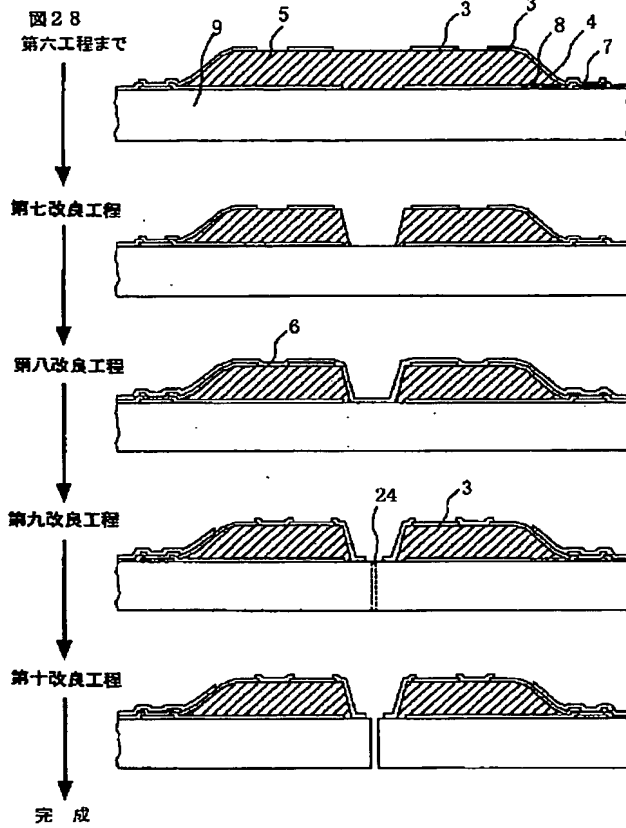
【図32】

図32



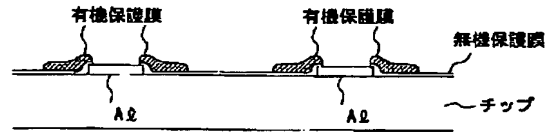
(23)

【図28】

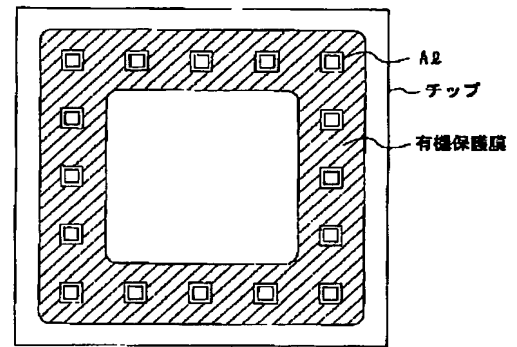


【図33】

図33



断面図

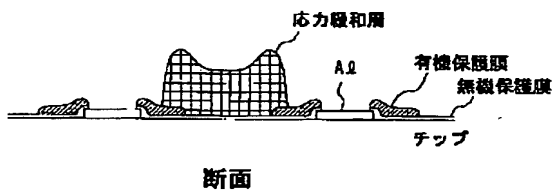


【図34】

図34

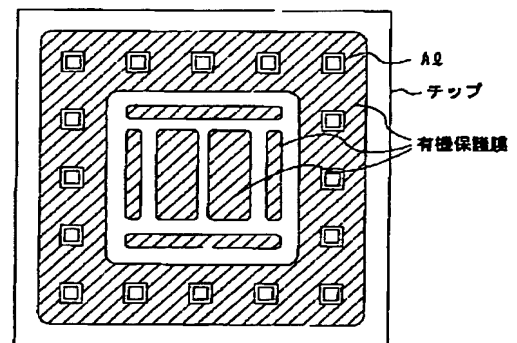
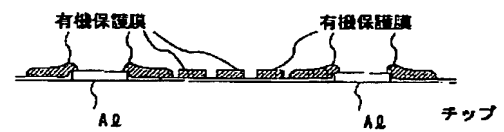
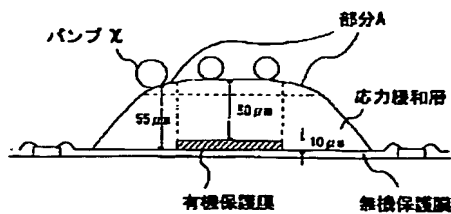
【図36】

図36



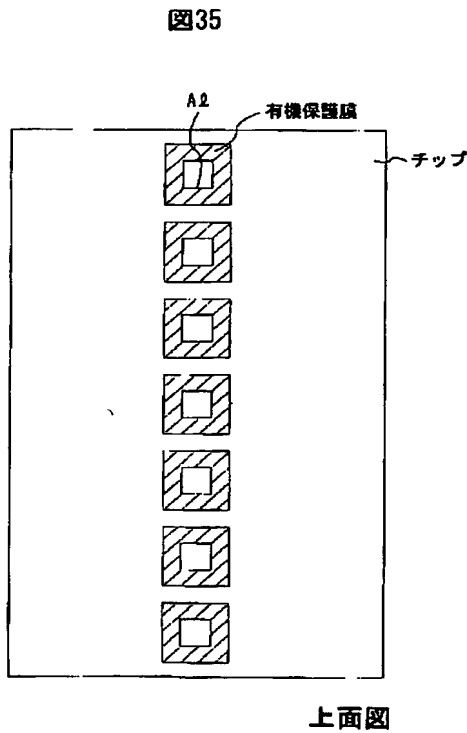
【図37】

図37

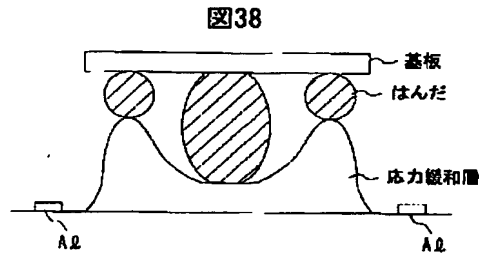


(24)

【図35】

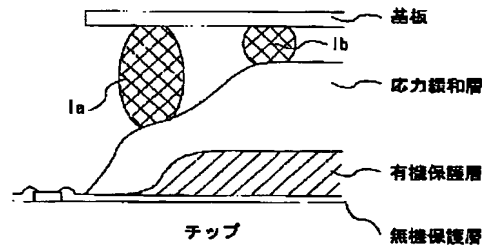


【図38】

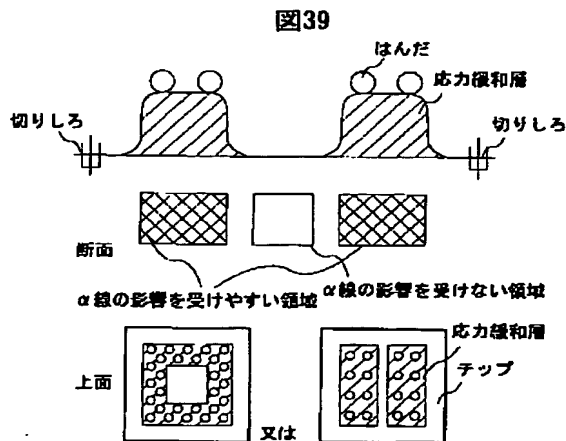


【図40】

図40



【図39】



【図41】

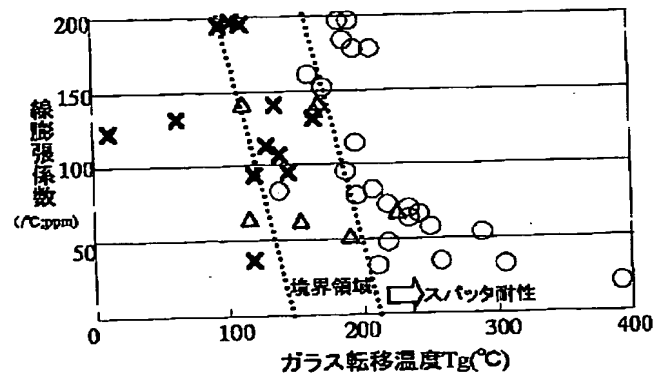


図41 応力緩和層候補材料の物性値とスパッタ耐性
(x:亀裂発生、Δ:空洞発生、○:異常無)

フロントページの続き

(51) Int. Cl. 7

H01L 23/12

識別記号

501

F I

H01L 23/30

テーマコード(参考)

B

(25)

(72)発明者 井上 康介
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 大録 範行
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 宝蔵寺 裕之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 角田 重晴
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 諫田 尚哉
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 皆川 円
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 安生 一郎
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 西村 朝雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 氏家 健二
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 矢島 明
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 4M109 AA02 BA05 CA12 DB16 DB17
EA02 EA07 EA10 EB14 EE02
5F044 KK02 LL00 RR17 RR18 RR19
5F061 AA02 BA05 CA12 CB13 DE03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.